

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representation of
The original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#4



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 1999年12月17日

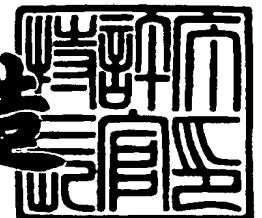
出願番号
Application Number: 平成11年特許願第359999号

出願人
Applicant(s): 富士通株式会社

2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3057307

【書類名】 特許願

【整理番号】 9940839

【提出日】 平成11年12月17日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G11C 11/407

【発明の名称】 自己試験回路及びそれを内蔵するメモリデバイス

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 野村 幸弘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 藤本 博之

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 鈴木 隆博

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 神田 達哉

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 松崎 康郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自己試験回路及びそれを内蔵するメモリデバイス

【特許請求の範囲】

【請求項 1】 コマンドに応答してメモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路を有するメモリデバイスに内蔵され、前記メモリデバイスの不良を検出する自己試験回路において、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積し、外部に出力する試験出力回路とを有し、

前記自己試験回路は、外部からの自己試験活性化信号に応答して自己試験活性化状態になることを特徴とするメモリデバイスの自己試験回路。

【請求項 2】 請求項 1 において、

更に、前記自己試験活性化状態において、前記書き込み及び・または読み出しを含む複数の試験動作モードのうち、いずれかを指定する試験動作モード信号を生成する試験動作モード選択回路を有し、

前記試験動作モード信号に応じて、前記試験動作コマンド発生回路が、前記試験動作モードを実行するための前記試験動作コマンドを発生することを特徴とするメモリデバイスの自己試験回路。

【請求項 3】 請求項 1 において、

前記試験動作コマンド発生回路は、前記試験アドレス発生回路があるアドレスを発生する毎に、前記書き込みまたは読み出しの少なくとも一方を含む動作に対応する複数の試験動作コマンドを順番に発生することを特徴とするメモリデバイスの自己試験回路。

【請求項 4】請求項 1 において、

前記試験アドレス発生回路はアドレスカウンタを有し、アドレスのインクリメントまたはデクリメントのアドレスタイミング信号をカウントして、前記試験アドレスを発生することを特徴とするメモリデバイスの自己試験回路。

【請求項 5】請求項 1 において、

前記試験データ発生回路は、前記試験動作コマンドが書き込み動作に対応する場合は、前記メモリコアに該試験データを書き込みデータとして供給し、前記試験動作コマンドが読み出し動作に対応する場合は、前記試験出力回路に該試験データを比較データとして供給することを特徴とするメモリデバイスの自己試験回路。

【請求項 6】請求項 1 において、

前記試験出力回路は、前記読み出しデータと試験データとの不一致回数をカウントするカウンタを有することを特徴とするメモリデバイスの自己試験回路。

【請求項 7】6 において、

前記試験出力回路のカウンタは、少なくとも救済可能な最大不良ビット数に対応する前記不一致回数を最大カウント値とすることを特徴とするメモリデバイスの自己試験回路。

【請求項 8】複数のメモリセルを有するメモリコアと、外部コマンドに応答して前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号に応答して自己試験活性化状態になり、前記メモリデバイスの不良を検出する自己試験回路を有し、

前記自己試験回路は、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに書き込みデータとして供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積する試験出力回路とを有することを特徴とするメモリデバイス。

【請求項 9】請求項 8 において、

前記外部コマンドと前記試験コマンドとを切り替える第 1 のセレクタと、

前記外部アドレスと前記試験アドレスとを切り替える第 2 のセレクタと、

外部から供給される外部書き込みデータと前記試験データとを切り替える第 3 のセレクタとを有することを特徴とするメモリデバイス。

【請求項 10】複数のメモリセルを有するメモリコアと、外部コマンドにตอบสนองして前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号にตอบสนองして自己試験活性化状態になり、前記書き込みまたは読み出しを指示する試験動作コマンドを発生して前記メモリ制御回路に供給し、試験アドレスを発生して前記メモリコアに供給し、試験データを発生して前記メモリコアに書き込みデータとして供給し、前記メモリコアからの読み出しデータと前記試験データとを比較して前記メモリデバイスの不良を検出する自己試験回路を有することを特徴とするメモリデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリデバイスに内蔵される自己診断用の自己試験回路に関し、特に、比較的少ない入出力端子を利用して自己試験を行うことができる自己試験回路に関する。本発明は、例えば、ウェハプロセス段階でのバーイン試験に好適な自己試験回路に関する。

【0002】

【従来の技術】

近年のダイナミック RAM (DRAM) 等のメモリデバイスは、大容量化、大

規模化されている。それに伴い、LSI テスタを利用してメモリ内部の不良ビットの検出を行う試験工程のコストが増大し、メモリデバイスのコストアップにつながっている。

【 0 0 0 3 】

図 1 は、従来のメモリデバイスの一般的構成図である。図 1 では、同期型の DRAM (SDRAM) を例にして、一般的構成が示されている。図 1 の例では、外部からクロック CLK がクロック入力バッファ 10 に供給され、内部クロック ICCLK が、各回路ブロックに供給される。また、外部からコマンド入力 CMD がコマンドデコーダ 12 に供給され、デコードされた外部コマンド CMD がコマンドラッチ回路 16 に保持され、その保持された外部コマンドに応じて、制御回路 18 がメモリコアであるメモリバンク MBNK 内の回路を制御する。また、外部からアドレス A0 ~ An がアドレスバッファ 14 に供給され、そのアドレス EXADD がメモリバンク MBNK に供給される。

【 0 0 0 4 】

メモリバンク MBNK 内は、例えば複数のメモリブロック BLK に分割され、各メモリブロック内には、ローデコーダ RDEC、メモリセルアレイ MCA、センスアンプ SA、コラムデコーダ CDEC などが設けられる。更に、メモリブロックには、データバス DB を介してセンスバッファ・ライトアンプ SB / WA が接続され、更に、データ入出力回路 DI / O を介して入出力端子 DQ に接続される。

【 0 0 0 5 】

更に、メモリバンク MBNK 内には、図示しないが、不良ビットと置き換え可能な冗長セルを有する。従って、動作試験により検出された不良ビットが、この冗長セルと置き換えられ、良品チップとして出荷される。

【 0 0 0 6 】

従来の不良ビットを検出する出荷前の試験工程では、LSI テスタが、試験に必要な動作コマンド、アドレス、書き込みデータ等を、コマンド入力端子 CMD、アドレス端子 A0 ~ An、入出力端子 DQ から供給し、入出力端子 DQ から出力される読み出しデータが期待通りのデータであるか否かのチェックを行う。従って、例えばデータ 1 を書き込んで、データ 1 が読み出せるか否かの試験を行う場合は、

LSI テスタが、アクティブコマンド、ライトコマンド、リセットコマンド、非選択コマンド等を利用して書き込みを行い、アクティブコマンド、リードコマンド、リセットコマンド、非選択コマンド等を利用して読み出しを行う。

【0007】

上記のLSI テスタを利用した試験工程は、通常、後工程であるアセンブリ工程でLSI チップがパッケージ内に収納された後に行われる。

【0008】

【発明が解決しようとする課題】

しかしながら、上記の不良試験工程は、LSI テスタを利用することが必要であり、また、メモリの大容量化に伴い長時間を要する。そこで、LSI テスタを使用せずに上記不良試験を行うために、メモリデバイス内部に自己診断用の試験回路を内蔵させることが提案されている。この自己試験回路は、Built In Self Test(BIST)回路と称される（以下単にBIST回路）。

【0009】

但し、かかるBIST回路をどのような構成にすることが、最も適切であるかについては、いまだコンセンサスがとれていない状態である。例えば、メモリデバイス内にBIST回路を搭載して、単純に試験のパス（合格）、フェイル（不合格）だけを出力とするだけの場合は、不良ビットの数を知ることができず、冗長セルを利用した救済機能が利用可能か否かを判別することができない。或いは、BIST回路が不良ビットのアドレスを全て記憶しておく場合は、BIST回路自体が大規模になり現実的ではない。

【0010】

一方で、製造工程の後工程（アセンブリ工程）後に診断試験を行って、冗長セルで救済できない不良品を取り除くという従来の方法では、デバイスの低コスト化に十分寄与しない。冗長セルを利用して不良品を救済することは、不良品を良品に変えることができ、ある程度の低コスト化に寄与する。しかし、不良試験をアセンブリ工程後に行うと、最終的に不良品となるデバイスのアセンブリ工程のコスト分が無駄になっている。

【0011】

かかる問題を解決するために、製造工程の前工程（ウエハレベル）で、バーイン試験（加速試験）を行うことが提案されている。しかしながら、ウエハ段階での加速試験用のテストは、利用できるプローブ数が少ないので、従来の L S I テスタのような複雑なファンクション試験を行うことは困難である。従って、ウエハレベルでのバーイン試験においても利用できる自己試験回路をメモリデバイス内に内蔵させることが望まれる。

【 0 0 1 2 】

そこで、本発明の一つの目的は、メモリデバイスに内蔵され、冗長セルを利用した不良品の救済に適した自己試験回路を提供することにある。

【 0 0 1 3 】

また、本発明の別の目的は、メモリデバイスに内蔵され、少ない外部端子によって動作可能な自己試験回路を提供することにある。

【 0 0 1 4 】

更に、本発明の別の目的は、メモリデバイスに内蔵され、ウエハ段階でのバーイン試験に利用可能な自己試験回路を提供することにある。

【 0 0 1 5 】

更に、本発明の別の目的は、上記の自己試験回路を内蔵するメモリデバイスを提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、メモリデバイス内に内蔵され、外部から試験活性化信号に応答して活性化する自己試験回路である。この自己試験回路は、外部からの試験活性化信号に応答して活性化し、試験動作コマンドを発生し、試験アドレスを発生し、試験データを発生する。更に、自己試験回路は、試験データをメモリセルに書き込んだ後に、そのメモリセルから読み出した読み出しデータが、書き込んだ試験データと同じか否かを比較し、その比較結果を蓄積する。そして、その比較結果情報が外部に出力される。

【 0 0 1 7 】

不良試験には、例えば、（１）アドレスをインクリメントしながら所定の試験

データを全てのメモリセルに書き込んで、その後全てのメモリセルを読み出して、読み出しデータが試験データと同じであることをチェックするスキャンパターンや、(2) アドレスをインクリメントしながら所定の試験データを全てのメモリセルに書き込んで、その後全てのメモリセルを読み出しながら反転試験データを書き込んで、次にアドレスをデクリメントしながら全てのメモリセルを読み出しながら再度反転試験データを書き込んで、最後にアドレスをインクリメントしながら全てのメモリセルを読み出すマーチパターンなどがある。

【0018】

これら不良検出用の試験のパターンは、基本的には読み出しと書き込みを繰り返す動作である。これらの試験パターンを自動的に行うために、上記の自己試験回路は、書き込みや読み出しの試験動作コマンドを発生する機能と、試験アドレスを発生する機能と、試験データを発生する機能と、読み出しデータが試験データと一致するか否かの比較機能とを有する。これにより、この内蔵された自己試験回路は、外部から限られた入出力端子を利用して、限られた信号を与えることにより、内部で自動的に自己試験を行う。

【0019】

この自己試験回路は、好ましくは、メモリデバイス内の冗長セルを利用して歩留まりを向上させることができるように、比較結果情報として、冗長セルにより救済可能か否かの情報を出力することができる。例えば、比較結果を蓄積する回路は、不良ビットの数をカウントする機能を有することが好ましい。或いは、比較結果を蓄積する回路は、不良ビットの数が冗長セルで救済できる数を超えているか否かの情報を出力する機能を有することが好ましい。

【0020】

更に、この自己試験回路は、好ましくは、試験の動作モードをある程度外部から指定することができるように、動作モード選択回路を有することが好ましい。この試験動作モードを組み合わせることにより、上記のマーチパターンやスキャンパターンの試験を実現することができる。その場合は、試験動作モードに従って、アクティブコマンド、リードコマンド、プリチャージコマンド、ディセーブルコマンド（非選択コマンド）等が、内部で生成され、メモリコアの動作が制御

される。

【0021】

或いは、別の例としては、自己試験回路は、活性化に応答して、自動的に種々の試験動作モードに順次移行することができる動作モード選択回路を有することが好ましい。この場合は、外部から試験動作モードを指定する信号を与える必要もない。この例の場合は、外部からはスキャンパターンやマーチパターンなどの試験パターンを与えるだけで、その試験パターンに必要な試験用動作モードが順次選択される。

【0022】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0023】

図2は、本実施の形態例におけるメモリデバイスの構成図である。図2に示されたメモリデバイスは、図1の従来例と同様のメモリ回路の構成に加えて、自己試験回路BIST (Built In Self Test) が内蔵される。本実施の形態例における自己試験回路BISTは、ウエハーレベルバーイン (以下単にWBI) 工程で使用することを一つの前提にする。ウエハーレベルバーイン工程では、チップ当たり利用できるプローブ数に制限があるので、かかるプローブ数に制限があっても、不良ビットの数を検出する自己診断を行うことが可能な自己試験回路BISTを説明する。但し、この自己試験回路BISTは、ウエハーレベルバーイン工程に限らず、アセンブリ工程後の試験工程においても利用することができる。

【0024】

また、自己試験における試験動作モードには、例えば4種類ある。第1に、アドレスをインクリメントしながらデータを書き込むモード (MODE1)、第2に、アドレスをインクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込むモード (MODE2)、第3に、アドレスをデクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込むモード (MODE3)、第4にアドレスをインクリメントしながらメモリセルからデータ

を読み出すモード (MODE4) である。それ以外に、試験結果を外部に出力するモードも自己試験には必要である。上記の 4 つの試験動作モードを組み合わせることにより、様々な試験パターンを実現することができる。上記の詳細は後述する。

【 0 0 2 5 】

各試験動作モードを実現するためには、メモリデバイスの読み出しや書き込みについての動作コマンドを生成して、メモリデバイスに与える必要がある。例えば、SDRAM (Synchronous DRAM) を例にして説明すると、第 1 のモード MODE 1 では、各アドレスにおいて、アクティブコマンド、ライトコマンド、プリチャージコマンド、及びディセレクトコマンドを連続してメモリデバイスに与える必要がある。また、FCRAM (Fast Cycle RAM) の場合は、アクティブライト、アクティブリード等の動作コマンドを与える必要がある。メモリデバイスで通常動作に利用される動作コマンドが、自己試験回路で生成され、メモリの制御回路に供給される。

【 0 0 2 6 】

図 2 のメモリ回路の部分は、図 1 の従来例と同じであり、同じ引用番号を与えている。メモリコアであるメモリバンク MBNK には、図示しないが不良ビットと置き換えられる冗長メモリセルアレイが、通常のメモリセルアレイに隣接して設けられる。

【 0 0 2 7 】

図 2 に示された本実施の形態例の自己試験回路 BIST においては、(1) 外部からの活性化信号 WBIZ に応答して、自己試験回路 BIST を活性化するための WBI 活性化回路 20、(2) 外部からの動作モード入力信号 BISTZ に従って、試験動作モードを選択する試験動作モード選択回路 22、(3) 試験動作モード信号 ϕ MODE に従って、制御信号やタイミング信号である試験クロック等を生成する WBI 制御回路 24、(4) 試験動作モードに対応する試験動作コマンド WBI-CMD を発生する WBI コマンド発生回路 26、(5) 試験動作モードに対応する試験アドレス WBI-ADD と試験データ WBI-DATA を発生する WBI アドレス・データ発生回路 28、(6) メモリセルから読み出した出力データ DOUT と試験データ WBI-DATA とを比較して

、異なる場合にフェイル信号 ϕF を生成するデータ比較部 3 0、(7) フェイル信号 ϕF の発生回数を試験結果情報としてカウントするフェイルビットカウンタ 3 4、(8) パラレルシリアル変換回路 3 4、及び(9) そのシリアルデータを出力するWBI出力バッファ 3 6とを有する。

【 0 0 2 8 】

上記の試験動作コマンドWBI-CMDは、セクタ 4 0 を介して、メモリデバイス内の制御回路 1 8 に供給される。同様に、試験アドレスWBI-ADDは、セクタ 4 1 を介して、メモリデバイス内のメモリコア（メモリバンク）MBNKに供給され、試験データWBI-DATAは、セクタ 4 2 を介してライトアンプWAに供給される。これらのセクタ 4 0、4 1、4 2 は、試験制御回路 2 4 が各試験動作モード時に発生するスタート信号 $\phi START$ により、自己試験回路BIST側からの各信号に切り替えられる。通常動作時は、コマンドラッチ 1 6 からの外部コマンドCMD、アドレスバッファ 1 4 からの外部アドレスEXADD、データ入出力回路DI/Oからの入力データDINが、それぞれ選択されてメモリコア等に供給される。

【 0 0 2 9 】

従って、通常の動作時には、各セクタでは信号 a 側が選択されて、通常の動作が外部動作コマンドCMD、外部アドレスEXADD、入力データDINに従って行われる。

【 0 0 3 0 】

そして、例えばウエハーレベルバーイン試験においては、活性化信号WBIZの供給により、WBI活性化回路 2 0 が活性化信号 ϕWBI を生成し、試験動作モード選択回路 2 2 とWBI制御回路 2 4 を活性化する。試験動作モード選択回路 2 2 は、外部からシリアルに入力されWBI入力バッファ 2 1 を介して与えられるモード入力信号BISTZをデコードして、試験動作モードを選択する。即ち、試験動作モード選択回路 2 2 は、試験動作モード信号 $\phi MODE$ を生成する。この試験動作モード信号 $\phi MODE$ に応答して、WBI制御回路 2 4 は、試験動作の第 1 の試験クロックWBI-CLK1と第 2 の試験クロックWBI-CLK2とを、WBIコマンド発生回路 2 6 とWBIアドレス・データ発生回路 2 8 にそれぞれ供給すると共に、各試験動作モードのスタート信号 $\phi START$ を発生する。

【 0 0 3 1 】

このスタート信号 ϕ STARTにより、各セクタ 4 0, 4 1, 4 2 は、信号 b 側を選択する。そして、WBIコマンド発生回路 2 6 は、第 1 の試験クロック WBI-CLK 1 のタイミングで、試験動作モードに応じた試験動作コマンド WBI-CMD を発行する。また、WBIアドレス・データ発生回路 2 8 は、第 2 の試験クロック WBI-CLK2 のタイミングで、試験動作モードに応じた試験アドレス WBI-ADD と試験データ WBI-DATA を発生する。これらの試験動作コマンド、試験アドレス、試験データの供給に応答して、メモリ回路側は、試験動作モードに応じた読み出し動作や書き込み動作を実行する。データ比較部 3 0 では、メモリセルから読み出された出力データ DOUT が、書き込んだ試験データ WBI-DATA と比較され、不一致の時のフェイル信号 ϕ F が、カウンタ 3 2 でカウントされる。そのカウント値は、パラレル・シリアル変換され、試験出力バッファ 3 6 により、信号端子 BISTZ からシリアルに出力される。

【 0 0 3 2 】

上記の活性化信号 WBIZ が供給される外部端子と、信号端子 BISTZ とは、例えばウエハーレベルバーイン試験時にのみ利用される特別の外部端子である。これらの端子 WBI、WISTZ とクロック端子 CLK と電源端子だけが、WBI 試験時に必要な端子であり、自己試験回路 BIST は、プローブ数の制限に応えることが出来る構成である。

【 0 0 3 3 】

次に、自己試験工程のエントリーと試験結果情報の出力とについて説明する。図 3 は、WBI 活性化回路、WBI 入力バッファ、及び WBI モード選択回路を示す回路図である。また、図 4 は、自己試験工程へのエントリー時の動作タイミングチャート図であり、図 5 は、試験結果情報の出力時の動作タイミングチャート図である。

【 0 0 3 4 】

WBI 活性化回路 2 0 は、活性化信号が供給される端子 WBIZ をグランド V_{ss} に接続する抵抗 4 5 と、インバータ 4 6, 4 7 を有する。従って、端子 WBIZ がオープン状態の時は、抵抗 4 5 により WBI 活性化信号 ϕ WBI は L レベルになっていて、WBI

入力バッファ 2 1 内の NAND ゲート 4 8, 4 9 は閉じている。H レベルの活性化信号 WBIZ が与えられると、内部の WBI 活性化信号 ϕ WBI は H レベルになり、WBI 入力バッファ 2 1 内の NAND ゲート 4 8, 4 9 が開いた状態になり、クロック I-CLK とモード入力信号 BISTZ とをそれぞれ通過させる。従って、自己試験中時は、外部からの活性化信号 WBIZ が H レベルに維持される。

【 0 0 3 5 】

WBI モード選択回路 2 2 は、クロック I-CLK に同期して、モード入力信号 WBIZ をシリアルに投入し、デコードして、対応する WBI モード信号 ϕ MODE を生成する。その為に、WBI モード選択回路 2 2 は、WBI 入力バッファ 2 1 を経由でシリアル転送されるモード入力信号 WBIZ が供給されるシフトレジスタ 5 2 と、その複数ビットのモード入力信号 WBIZ を転送するトランスファークゲート 5 4 と、ラッチ回路 5 6 と、デコーダ 5 8 とを有する。

【 0 0 3 6 】

モード入力信号 WBIZ は、図 4 に示される通り、1 ビットのエントリーコード 6 9 と 5 ビットのモードコード 7 0 で構成される。自己試験工程の各試験モードにエントリーするために、エントリーコード 6 9 を「1」にして、それ以降にモードコード 7 0 がシリアルに供給される。モードコード 7 0 は、図 7 の表示に示される通り、複数の試験動作モードに対応して設定される。例えば、第 2 の試験動作モード MODE2 の場合は、モード入力信号 WBIZ として、「1 1 0 0 0 1」がシフトレジスタ 5 2 に投入される。従って、6 ビット全てがシフトレジスタ 5 2 に供給されると、転送パルス発生部 6 2 が転送信号 S 6 2 を発生し、トランスファークゲート 5 4 がシフトレジスタ 5 2 内のモード入力信号 WBIZ のモードコード 7 0 をラッチ回路 5 6 に転送する。その後、転送信号 S 6 2 に応答して、リセットパルス発生部 6 0 がリセット信号 S 6 0 を発生し、シフトレジスタ 5 2 はリセットされる。ラッチ回路 5 6 にラッチされたモードコードは、デコーダ 5 8 によりデコードされ、図 4 の表に示す様に、対応する試験動作モード信号 ϕ MODE のいずれかを H レベルにする。

【 0 0 3 7 】

各試験動作モードが実行されると、終了信号 END1, END2 のいずれかが H レベル

のパルスになり、リセット信号 S 6 5 によりラッチ回路 5 6 の状態がラッチされ、試験動作モード信号 ϕ MODE はいずれも L レベルになる。

【 0 0 3 8 】

図 5 は、試験結果情報の出力時の動作タイミングチャート図である。期間 t 0 において、モード入力信号 BISTZ として「1 1 0 0 1 0」が供給されると、図 4 の対応表にある通り、モードコード「1 0 0 1 0」に対応する出力モード OUTPUT が H レベルになる。試験動作モード信号 OUTPUT は、3 クロック遅延回路 6 6 と NOR ゲート 6 7 にも供給され、モード入力制御信号 S 6 8 が H レベルになる。この信号 S 6 8 の H レベルにより、NOR ゲート 5 0 が閉じた状態になり、モード入力信号 BISTZ の入力を禁止する。即ち、期間 t 3 において、モード入力信号 BISTZ の入力は、ディスエイブルになる。期間 t 3 は、出力モード信号 OUTPUT が L レベルになった後の 3 クロックの期間 t 2 においても、入力禁止状態を継続する。

【 0 0 3 9 】

更に、自己試験工程において、入力端子 BISTZ は出力端子としても使用される。従って、期間 t 3 のうち、最初の 3 クロック期間 t 1 と最後の 3 クロック期間 t 2 は、入力も出力も禁止される期間となり、端子 BISTZ での入力と出力の競合が回避される。即ち、期間 t 1、t 2 では、入力と出力との切替のために、端子 BISTZ は H インピーダンス状態にされる。

【 0 0 4 0 】

図 5 に示される通り、WBI 出力バッファ回路 3 6 は、端子 BISTZ から、出力認識用の H レベル信号「1」と、その後に続くフェイルビットカウンタ 3 2 のカウント値をシリアルに出力する。パラレルシリアル変換回路 3 4 からの終了信号 END2 が供給されると、WBI モード選択回路 2 2 内では、NOR ゲート 6 4 とインバータ 6 5 を介してリセット信号 S 6 5 がラッチ回路 5 6 に与えられ、ラッチ状態がリセットされる。それに伴い、出力モード信号 OUTPUT が L レベルになり、モード入力制御信号 S 6 8 は、3 クロック期間 t 2 後に L レベルになり、モード入力信号 BISTZ の入力が許可される。

【 0 0 4 1 】

次に、試験パターンと、試験動作モードと、それに伴う試験動作コマンドにつ

いて説明する。図 6 は、試験パターンの一例であるマーチの動作を示す図である。マーチは、前述した 4 つの試験動作モード MODE1, 2, 3, 4 と、出力モード OUTPUT を順番に実行する試験パターンである。

【0 0 4 2】

即ち、マーチでは図 6 に示される通り、最初に、アドレスをインクリメントしながらデータを書き込む第 1 のモード MODE1 を実行し、次に、アドレスをインクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込む第 2 のモード MODE2 を実行し、次に、アドレスをデクリメントしながらデータをメモリセルから読み出すと同時にそれと逆データを書き込む第 3 のモード MODE3 を実行し、次に、アドレスをインクリメントしながらメモリセルからデータを読み出す第 4 のモード MODE4 を実行する。そして、最後に、出力モード OUTPUT で、フェイルビットカウンタ 3 2 に蓄積した不良ビット情報を出力する。

【0 0 4 3】

図 6 には、各試験動作モードでの試験データ WBI-DATA の例が示される。(1) が表パターンとすると、(2) はその反転の裏パターンである。表パターン (1) の場合は、例えば図示されるような「0」と「1」のチェッカパターンが、隣接するメモリセルに書き込まれ(図中 W)、または読み出される(図中 R)。第 1 のモード MODE1 で書き込まれた試験データ WBI-DATA は、第 2 のモード MODE2 で読み出され、その反転データが書き込まれる。更に、第 3 のモード MODE3 では、第 2 のモード MODE2 で書き込まれた反転データが読み出され、その反転データが書き込まれる。そして、最後の第 4 のモード MODE4 では、その反転データが読み出される。各モードでの試験アドレス WBI-ADD は、図 6 に示される通り、順番にインクリメント、インクリメント、デクリメント、インクリメントである。

【0 0 4 4】

マーチパターンでは、上記の表パターンだけで 4 つのモード MODE1~4 を実行する場合と、上記表パターン及び裏パターンでそれぞれ 4 つのモード MODE1~4 を実行する場合とがある。従って、表パターンだけで試験が行われると、メモリコア内に 1 ビットの不良がある場合は、4 回の試験動作モードの中の 3 回の READ 時の 1 回ずつ不良が検出されて、合計で 3 回フェイル信号 ϕF が生成される。表パ

ターンと裏パターンの両方についてそれぞれ4回の試験動作モードを実行すると、合計で6回フェイル信号 ϕF が生成される。

【0045】

図7乃至図10は、4つの試験動作モードを動作タイミングチャート図である。図7に示された第1のモードMODE1では、試験アドレスWBI-ADDをインクリメントしながら、メモリセルにデータWBI-DATAを書き込む。その為に、クロックI-CLKに同期した第1の試験クロックWBI-CLK1に同期して、試験動作コマンドのアクティブACTV、ライトWR、プリチャージPRE、非選択DSELが順番に生成される。同時に、クロックI-CLKを1/4分周した第2の試験クロックWBI-CLK2に同期して、試験アドレスWBI-ADDがA0から順にインクリメントされる。また、試験データWBI-DATAは、図6に示した所定のデータが生成される。第1のモードMODE1では、読み出し動作は行われないので、リードイネーブル信号 $\phi RENB$ はLレベルのままであり、シリアル・パラレル変換回路34とWBI出力バッファ36とに供給される第3の試験クロックWBI-CLK3もLレベルのままである。

【0046】

図8に示された第2のモードMODE2では、試験アドレスWBI-ADDをインクリメントしながら、メモリセルからデータWBI-DATAを読み出すと共に、そのメモリセルに反転データWBI-DATAを書き込む。その為に、クロックI-CLKに同期した第1の試験クロックWBI-CLK1に同期して、試験動作コマンドのアクティブACTV、リードRD、プリチャージPRE、非選択DSELが順番に生成されて読み出しが行われ、更に、アクティブACTV、ライトWR、プリチャージPRE、非選択DSELが順番に生成されて書き込みが行われる。

【0047】

上記の読み出しと書き込みとが、クロックI-CLKを1/8に分周した第2の試験クロックWBI-CLK2に同期して交互に繰り返される。それに伴い、リードイネーブル信号 $\phi RENB$ も、第2の試験クロックWBI-CLK2に同期して、交互にHレベル（読み出し可能）とLレベル（読み出し禁止）を繰り返す。また、試験アドレスWBI-ADDは、第2の試験クロックWBI-CLK2に同期して、A0から順番にインクリメントされる。そして、試験データWBI-DATAは、読み出し可能状態（ $\phi RENB = H$ ）で

は、期待値として第1のデータ「0」に、書き込み状態（ $\phi \text{ RENB} = \text{L}$ ）では、書き込みデータとしてその反転の第2のデータ「1」にされる。尚、第1のデータ、第2のデータは、例えば、図6において示したそれぞれ反転するチェッカパターンである。

【0048】

図9に示された第3のモードMODE3では、試験アドレスWBI-ADDをデクリメントしながら、メモリセルからデータWBI-DATAを読み出すと共に、そのメモリセルに反転データWBI-DATAを書き込む。従って、第2のモードMODE2と異なるところは、第2の試験クロックWBI-CLK2に同期して試験アドレスWBI-ADDがAnからデクリメントされることと、試験データWBI-DATAが、読み出し可能状態（ $\phi \text{ RENB} = \text{H}$ ）では、期待値として第2のデータ「1」に、書き込み状態（ $\phi \text{ RENB} = \text{L}$ ）では、書き込みデータとしてその反転の第1のデータ「0」にされることである。

【0049】

図10に示された第4のモードMODE4では、試験アドレスWBI-ADDをインクリメントしながら、メモリセルからデータWBI-DATAを読み出す。従って、第1の試験クロックWBI-CLK1に同期して、アクティブACTV、リードRD、プリチャージPRE、非選択DSELが順番に生成されて読み出しが行われる。それと共に、クロックI-CLKを1/4分周した第2の試験クロックWBI-CLK2に同期して、試験アドレスWBI-ADDがA0から順にインクリメントされる。また、試験データWBI-DATAは、第3のモードMODE3で書き込んだデータが期待値として生成される。第4のモードMODE4では、読み出し動作のみが行われるので、リードイネーブル信号 $\phi \text{ RENB}$ はHレベルのままであり、シリアル・パラレル変換回路34とWBI出力バッファ36とに供給される第3の試験クロックWBI-CLK3はLレベルのままである。

【0050】

図11に示される出力モードOUTPUTでは、クロックI-CLKに同期した第3の試験クロックWBI-CLK3が、出力モード信号OUTPUTがHレベルになってから、3クロック周期後から生成され、パラレル・シリアル変換回路34とWBI出力バッファ36とがそれに同期して動作して、フェイルビットカウンタ32のカウント値をシリアルに出力する。

【0051】

図12は、WBI制御回路の回路図である。WBI制御回路24は、WBIモード選択回路22からの試験動作モード信号 ϕ MODEに応答して、試験モード開始信号 ϕ STARTと、コマンド発生用の第1の試験クロックWBI-CLK1と、アドレスやデータ発生用の第2の試験クロックWBI-CLK2と、試験結果出力用の第3の試験クロックWBI-CLK3と、リードイネーブル信号 ϕ RENBと、データ比較タイミングである比較タイミング信号 ϕ COMPとを発生する。

【0052】

第1のモードMODE1の時は、図7に示した通り、試験モード開始信号 ϕ STARTがモード信号MODE1に응答してHレベルになり、第1の試験クロックWBI-CLK1がクロックI-CLKに同期して生成され、クロックI-CLKを1/4分周した第2の試験クロックWBI-CLK2が生成される。

【0053】

第1のモード信号MODE1がHレベルになると、NORゲート71の出力がLレベルになり、インバータ72を介して試験モード開始信号 ϕ STARTがHレベルになる。この開始信号 ϕ STARTのHレベルがフリップフロップ73に保持され、フリップフロップ73の出力QはHレベルになる。従って、その後は、内部クロックI-CLKに同期した第1の試験クロックWBI-CLK1が生成される。また、第1の試験クロックWBI-CLK1は、1/4分周器で1/4に分周され、セクタ78を介して第2の試験クロックWBI-CLK2として出力される。

【0054】

第1のモードMODE1の場合は、書き込み動作であるので、リードイネーブル信号 ϕ RENBはLレベルのままである。従って、NANDゲート87の出力はHレベルに維持され、比較タイミング信号 ϕ COMPはLレベルのままである。

【0055】

第2のモードMODE2の時は、図8に示した通り、試験モード開始信号 ϕ STARTがモード信号MODE2に응答してHレベルになり、第1の試験クロックWBI-CLK1がクロックI-CLKに同期して生成され、クロックI-CLKを1/8分周した第2の試験クロックWBI-CLK2が生成される。また、リードイネーブル信号 ϕ RENBが、読み出し

のタイミングでHレベルになり、比較タイミング信号 ϕ COMPもHレベルになる。

【0056】

第2のモード信号MODE2がHレベルになると、NORゲート71とインバータ72を介して、モード開始信号 ϕ STARTがHレベルになり、第1の試験クロックWBI-CLK1が生成される。第2のモード信号MODE2がHレベルであるので、NORゲート79及びインバータ80を介して、Hレベルのセクタ信号S80がセクタ78に供給され、ノードN2が選択され、1/4分周器76及び1/2分周器77により第1の試験クロックWBI-CLK1を1/8分周した第2の試験クロックWBI-CLK2が生成される。

【0057】

そして、NANDゲート81と83を介して、第2の試験クロックWBI-CLK2に同期して（ノードN2の信号を利用して）、リードイネーブル信号 ϕ RENBもHレベルになる。更に、リードイネーブル信号 ϕ RENBがHレベルの時に、内部クロックI-CLKの立ち下がリエッジに同期したパルスが、1/2分周機能を持つフリップフロップ84と、立ち下がリエッジでパルスを生成するインバータ85及びNORゲート86と、NANDゲート87及びインバータ88とを介して、比較タイミング信号 ϕ COMPとして出力される。

【0058】

第3のモードMODE3の場合は、WBI制御回路24は、第2のモードMODE2の場合と同じ動作をする。

【0059】

第4のモードMODE4の場合は、図10に示した通り、試験モード開始信号 ϕ STARTがモード信号MODE4に応答してHレベルになり、第1の試験クロックWBI-CLK1がクロックI-CLKに同期して生成され、クロックI-CLKを1/4分周した第2の試験クロックWBI-CLK2が生成される。

【0060】

第4のモード信号MODE4がHレベルになると、NORゲート71の出力がLレベルになり、インバータ72を介して試験モード開始信号 ϕ STARTがHレベルになる。この開始信号 ϕ STARTのHレベルがフリップフロップ73に保持され、フリッ

フリップフロップ73の出力QはHレベルになる。従って、その後は、内部クロックI-CLKに同期した第1の試験クロックWBI-CLK1が生成される。また、第1の試験クロックWBI-CLK1は、1/4分周器で1/4に分周され、セクタ78を介して第2の試験クロックWBI-CLK2として出力される。そして、第4のモード信号MODE4がHレベルになるので、インバータ82とNANDゲート83を介して、リードイネーブル信号φRENBがHレベルに維持される。それに伴い、比較タイミング信号φCOMPが、内部クロックI-CLKの2クロック毎に出力される。

【0061】

出力モードOUTPUTの時は、モード信号OUTPUTがHレベルになる。そのHレベルがフリップフロップ90と91により、内部クロックI-CLKに同期して取り込まれる。従って、モード信号OUTPUTがHレベルになってから、2クロック後にノードN3がHレベルになり、NANDゲート92の出力はLレベル、ノードN4がHレベルになる。このノードN4のHレベルが、次の内部クロックI-CLKの立ち上がりエッジに同期して、フリップフロップ94に取り込まれ、第3の試験クロックWBI-CLK3の生成が開始される。

【0062】

即ち、これらの回路によって、図5に示した期間t1だけ、WBI出力バッファ回路36の動作が遅延される。そして、この期間t1で、外部端子BISTZの入力から出力への切替が行われる。また、これらの回路は、出力モード信号OUTPUTがLレベルに下がると、NANDゲート92により即検出され、次の内部クロックI-CLKの立ち上がりエッジでフリップフロップ94に取り込まれ、第3の試験クロックWBI-CLK3の生成が停止される。

【0063】

図13は、WBIコマンド発生回路の回路図である。WBIコマンド発生回路は、書き込みまたは読み出しを指示する試験動作コマンドWBI-CMDを発生し、メモリ制御回路18に供給する試験動作コマンド発生回路である。WBIコマンド発生回路26は、アクティブコマンドACTV、リードコマンドRD、ライトコマンドWR、プリチャージコマンドPRE、及び非選択コマンドDESELの信号セット(/CS,/RAS,/CAS,/WE)をそれぞれ出力するコマンドセット100～104と、それらのコマンド

セットからの信号セットを、動作モード開始信号 ϕ STARTがHレベルの間、第1の試験クロックWBI-CLK1の立ち上がりエッジに同期して、順番に選択するスイッチ制御回路105とを有する。スイッチ制御回路105からの制御信号により、スイッチSW1～SW4が順番にオン状態にされる。また、リードコマンドとライトコマンドとの選択は、リードイネーブル信号 ϕ RENBに従って、スイッチSW5により行われる。

【0064】

このWBIコマンド発生回路26によって、図7～図10に示した試験動作コマンドWBI-CMDが、コマンド発生用のクロックである第1の試験クロックWBI-CLK1に同期して循環的に生成される。この試験動作コマンドWBI-CMDは、図2に示される通り、セクタ40を介して、メモリ回路の制御回路18に供給される。

【0065】

図14は、試験アドレス・データ発生回路の回路図である。また、図15は、その試験アドレス・データ発生回路の動作タイミングチャート図である。このWBIアドレス・データ発生回路28は、試験動作モード開始信号 ϕ STARTがHレベルになると、インバータ106を介して生成されるリセット信号S106がLレベルになり、バイナリカウンタ107が動作を開始する。即ち、バイナリカウンタ107は、試験アドレスと試験データ発生用の第2の試験クロックWBI-CLK2をカウントする。この第2の試験クロックWBI-CLK2は、第1及び第4の試験モードMODE1,4の時は、内部クロックI-CLKを1/4分周したクロックであり、第2及び第3の試験モードMODE2,3の時は、内部クロックI-CLKを1/8分周したクロックである。

【0066】

そして、このバイナリカウンタ107のカウント値、又はその補数（反転値）が、試験アドレスWBI-ADDとして出力される。バイナリカウンタ107のカウント値(a)及び反転値(b)は、第3のモード信号MODE3により選択される。即ち、第3のモード信号MODE3がHレベルの時は、試験アドレスWBI-ADDはデクリメントされる必要があるので、反転値(b)側が選択される。それ以外のモードMODE1,2,4の場合は、第3のモード信号MODE3がLレベルになり、非反転値(a)が選択されて、

試験アドレスWBI-ADDはインクリメントされる。

【0067】

バイナリカウンタ107は、最上位ビットMSBが1になると、第1の試験動作モード終了信号END1をHレベルにする。

【0068】

また、バイナリカウンタ107の最下位の2ビットは、データ発生回路109に供給され、試験データWBI-DATA生成のためのアドレスとして利用される。即ち、図6に示した通り、試験データWBI-DATAは、メモリセルの位置に応じたチェッカパターンを使用する。そのためには、対象となるメモリセルの位置をアドレスの最下位2ビットで認識することが必要になる。

【0069】

また、データ発生回路109は、第2の試験モードMODE2時と、第3の試験モードMODE2時とでは、反転する試験データWBI-DATAを生成する必要がある。更に、第1及び第4の試験モードMODE1,4の時は、試験データを反転する必要はない。そのために、第2のモードMODE2の場合は、インバータ110により反転された第2の試験クロックWBI-CLK2が、NANDゲート112, 113を介して、ノードN10からデータ発生回路109に供給される。また、第3のモードMODE3の場合は、NANDゲート111, 113を介して、第2の試験クロックWBI-CLK2がノードN10からデータ発生回路109に供給される。ノードN10と下位2ビットの試験アドレスとに応じて、データ発生回路109は、チェッカパターンの試験データWBI-DATAを生成する。この試験データの例が、図15(C)に示される。ワード線WLとビット線BLに対して、「0110」または「1001」が試験データの組み合わせである。バーンイン試験のようにメモリセル部に最大のストレスを加えるためには、図15のWBIデータの例に示すように、メモリセルの物理的な配列から見てチェッカーボード状にデータを書き込むのがよい。

【0070】

以上の試験コマンド発生回路26と試験アドレス・データ発生回路28によって、図7～図10に示した4つの動作モードを実現する試験コマンドWBI-CMDと試験データWBI-DATAとが生成されることが理解される。

【0071】

図16は、データ比較部、カウンタ、パラレル・シリアル変換部、及び試験出力バッファの構成図である。図17は、データ比較部の動作タイミングチャート図である。データ比較部30は、試験データWBI-DATAとメモリセルから読み出されたデータDOUTとを、ゲート113, 114からなるエクスクルーシブオア回路に入力して比較する。この回路例では、比較するためのタイミングクロックN13を、モード開始信号 ϕ STARTと比較タイミング信号 ϕ COMPとから生成する。但し、比較タイミング信号 ϕ COMPの代わりに、メモリ回路におけるデータバスDBからデータ入出力回路DI/Oに読み出しデータを転送するデータ転送信号を利用しても良い。

【0072】

エクスクルーシブオア回路で、比較の結果が不一致の場合は、フェイル信号 ϕ Fが発生し、フェイルビットカウンタ32を構成するバイナリカウンタ32でカウントされる。遅延回路115により遅延した制御クロックN12に同期して、このフェイル信号 ϕ Fが出力される。

【0073】

バイナリカウンタ32は、フェイル信号 ϕ Fをカウントアップし、オーバーフローすると、オーバーフロー信号OFにより、カウンタ値は全て1に強制的にセットされる。そして、それ以降のフェイル信号 ϕ Fのカウントアップは停止する。バイナリカウンタ32のカウント値は、不良ビットが検出された回数であり、自己試験の比較結果情報である。また、カウンタ値が全て1であることが、オーバーフローしたという試験結果情報になる。このカウンタ値は、バーイン試験におけるバーインストレス時間と不良ビット数との関係を管理するワイブル管理に利用される。

【0074】

この試験結果の出力は、バイナリカウンタ32の各ビットをパラレル・シリアル変換回路34でシリアルデータに変換され、出力制御クロックである第3の試験クロックWBI-CLK3に同期して、試験出力バッファ36からシリアルに出力される。パラレル・シリアル変換回路34は、シリアル出力を終了したら、出力モ-

ド動作が終了したことを示す第2の終了信号END2を発生する。

【0075】

フェイルビットカウンタ32のビット数は、救済可能な最大不良ビット数に対応するフェイル回数を最大カウント値にすれば良い。それ以上を超える場合は、冗長セルによって救済できないので、もはや不良デバイスだからである。したがって、最大フェイル検出数を超えることが判明すると、自己試験工程自体を終了させることができる。

【0076】

例えば、図6に示したマーチパターンの場合は、表データだけに対して試験を行うと、合計で3回の読み出しデータ比較が行われる。従って、フェイルビットカウンタ32のビット数は、(冗長によって救済できる最大アドレス数)×3とする。バイナリカウンタ32は、この最大ビット数を超えた場合はオーバーフロー信号OFを出す。つまり、フェイルビットカウンタ32は、最大救済数の3倍以上(裏パターン有りでは6倍以上)のビット数があれば良い。

【0077】

[第2の実施の形態例]

図18は、第2の実施の形態例におけるメモリデバイスの構成図である。第2の実施の形態例は、クロック入力バッファ10の出力側に、クロック通倍回路120を備え、自己試験工程時には、外部から供給される比較的低速のクロックI-CLK2を通倍したクロックCLK2を、自己試験回路BISTおよびデバイス内部に供給する。すなわち、外部から例えば10MHzのクロックCLKの供給を受け、内部で20MHzに通倍して、内部回路を倍速動作させる。またこのとき、入出力回路21、36には通倍しないクロックI-CLK1を供給し、外部とインターフェイスをおこなう。また通倍クロックI-CLK2は、外部クロックCLKの3倍速、4倍速等でもよい。

【0078】

それ以外の構成は、図2に示した第1の実施の形態例と同じである。上記のクロック通倍回路120を設けたことにより、自己試験をクロック周波数が低い安価なテストで実施することができる。クロック通倍回路120は、例えばDLL回路を利用して構成することができる。或いは、別の一般的な回路構成でもよい。

【0079】

[第3の実施の形態例]

図19は、第3の実施の形態例における自己試験回路を内蔵するメモリデバイスの構成図である。第3の実施の形態例は、パッケージにアセンブリした後も、自己試験回路BISTを用いて試験が出来るようにした例である。そのために、WBI活性化回路20には、ウェハーレベルでのバーイン試験での活性化信号WBIZに加えて、更に、特別のコマンドでテストモードを選択するテストモード選択回路126からの第2の活性化信号WBIZ2が入力されている。いずれかの活性化信号WBIZ、WBIZ2が活性状態になると、テストモード選択回路126は、自己試験工程であることを検出して、内部のWBI活性化信号φWBIをHレベルにする。

【0080】

テストモード選択回路126は、外部からのコマンド入力CMDやアドレス入力A0～Amの特定の組合せが入力されると第2の活性化信号WBIZ2を発生する。これにより、自己試験回路BISTは、ウェハ状態では第1の実施の形態例と同様に活性化信号WBIZに応答して活性化し、アセンブリ後は、コマンド入力CMDおよびアドレス信号の特別の組み合わせに応答して活性化する。

【0081】

第3の実施例に対応したWBI活性化回路の回路例を図3の左下に示す。二つの活性化信号WBIZ、WBIZ2のいずれがHレベルになっても、内部のWBI活性化信号φWBIがHレベルになる。

【0082】

第3の実施の形態例では、更に、セクタ43を設け、パラレル・シリアル変換回路33の出力を、メモリデバイスのI/Oバッファを兼用して外部に出力する。従って、入出力端子DQ0は、通常動作状態では入出力端子として機能し、自己試験工程時では、カウンタ32の値である試験結果情報を出力する出力端子として機能する。こうすることにより、自己試験回路BISTを利用した自己試験工程では、ウェハーレベルでのバーイン試験では、活性化信号端子WBIZが特別に利用されるだけである。従って、ウェハへのプローブ数を更に制限することができる。

【0083】

〔第4の実施の形態例〕

図20は、第4の実施の形態例におけるWBI活性化回路とWBIモード選択回路の構成図である。第4の実施の形態例でのWBIモード選択回路は、図3の変形例である。図20に示されたWBIモード選択回路22は、フリップフロップ134～138を有し、それらのフリップフロップは、パルス発生回路130によりWBI活性化信号 ϕ WBIの立ち上がりエッジで生成されたパルスを、セット、リセット信号として入力し、パルス発生回路132により動作モード終了信号END1,2のいずれかの立ち上がりエッジで生成されたパルスを、データ取り込みクロックとして入力する。

【0084】

従って、WBI活性化信号 ϕ WBIがHレベルになると、フリップフロップ134～138が、試験モード信号MODE1→MODE2→MODE3→MODE4→OUTPUTを、順番に自動的に生成する。このWBIモード選択回路を利用すれば、図2, 3のようなモード信号BISTZの入力を必要としないので、自己試験を更に簡単に実行することができる。

【0085】

〔第5の実施の形態例〕

図21は、第5の実施の形態例における試験結果情報の出力部の例を示す図である。図21には、2つの例が示される。自己試験回路BISTは、出力部として、データ比較結果情報を何らかの形で蓄積する比較結果蓄積回路と、その比較結果情報を出力する試験出力回路とを有する。図2に示した第1の実施の形態例では、フェイルビットカウンタ32、パラレルシリアル変換回路34、試験出力バッファ36とを有し、カウンタ32のカウント値またはオーバーフロー状態の情報を出力する。

【0086】

図21(A)の出力部は、データを比較した結果一致しなかったことを示す比較結果情報を、フェイル信号 ϕ Fとして供給されて、その回数を蓄積するバイナリカウンタ32と、そのバイナリカウンタ32がオーバーフローした時に生成す

るオーバーフロー信号OFを出力する出力回路142とを有する。従って、オーバーフローしたか否かの情報のみを出力する。従って、この出力部は、メモリ回路の冗長セルで救えるチップか救えないチップかを判定すればよい場合に利用される。

【0087】

図21(A)の例では、オーバーフロー信号OFは、最初Lレベルである。フェイル信号φFが冗長可能な数以上発生すると、オーバーフロー信号OFがHレベルになり、回路140によりそれ以降のフェイル信号φFの入力を停止する。その後、出力制御信号φOUTを入力すると、出力回路142がオーバーフロー信号OFの情報を出力する。遅延回路141によって、出力制御信号φOUTが1クロック遅延されてリセット信号S141が生成され、バイナリカウンタ32はセットされる。

【0088】

図21(B)の出力部の例は、冗長セルを利用する必要がない良品チップ、冗長セルで救えるチップ、冗長セルで救えないチップ、の3種類の識別情報を比較結果情報として出力する構成である。フェイル信号φFが1度でも発生すると、NORゲート144とインバータ145を経由してレジスタ146の第1ビットB1がHレベルになる。また、バイナリカウンタ32がオーバーフローすると、レジスタ146の第2ビットB0もHレベルになる。従って、第1ビットB1は、不良なしの良品チップか不良有りだが冗長セルで救済できるチップかの情報を有する。そして、第2ビットB2は、冗長セルで救済できない不良チップかいないかの情報を有する。出力回路148が、この試験結果情報の出力を、例えば、出力制御信号φOUTに応答してレジスタ146の2ビットB0,B1の順番にシリアルに行く。出力が、(B0,B1)=(0,0)ならば良品、(0,1)ならば冗長で救済可能、(1,1)ならば冗長不可能と判定する。

【0089】

図21に示された出力回路は、不良ビットの数を比較結果情報として出力することはできないが、その分回路構成が簡略化されている。また、出力制御回路として、必ずしも第3の試験クロックWBI-CLK3を利用する必要はなく、何らかのバ

ルス信号でよい。

【0090】

〔第6の実施の形態例〕

図22は、第6の実施の形態例におけるメモリデバイスの構成図である。第4の実施の形態例におけるWBI活性化回路とWBIモード選択回路（図20）、および第5の実施の形態例におけるデータ出力回路（図21）を用いれば、外部とのインタフェースにクロックは必要ない。そこで、第6の実施の形態例は、これらの回路を利用し、更に自己試験動作時に活性化するオシレータOSCを搭載する。更に、自己試験動作時は、外部クロックCLKからオシレータOSCが発生したクロックに切り替えるセクタ150を有する。

【0091】

第6の実施例においては、活性化信号WBIZを印加すると、オシレータOSCがクロック信号の発生を開始し、メモリ回路やその他の回路にセクタ150を介して供給する。また、WBIモード選択回路22が順次モード信号 ϕ MODEを発生し、それに従い各モードの試験が実施され、自己試験用の入出力端子BISTZより試験結果が出力される。よって、この場合は、外部からのクロック信号は必要ないので、更に試験コストが安くなる。

【0092】

上記実施の形態例では、ウエハーレベルでのバーイン試験において利用されることを前提にして自己試験回路を説明した。しかし、この自己試験回路は、アセンブリされた後のパッケージレベルでのバーイン試験においても利用できる。いずれの試験でも、外部からは活性化信号やモード入力信号などを供給するだけで、メモリデバイス自身が内部の試験を行い、不良ビットの存在を検出することができる。

【0093】

更に、上記の実施の形態例の試験動作コマンドは、SDRAMやFCRAMの例の場合であり、それ以外のメモリデバイスの場合は、それに使用される動作コマンドが、試験動作コマンドとして生成される。

【0094】

以上の実施の形態例をまとめると次の通りである。

【0095】

1. コマンドに応答してメモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路を有するメモリデバイスに内蔵され、前記メモリデバイスの不良を検出する自己試験回路において、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積し、外部に出力する試験出力回路とを有し、

前記自己試験回路は、外部からの自己試験活性化信号に応答して自己試験活性化状態になることを特徴とするメモリデバイスの自己試験回路。

【0096】

2. 上記1において、

更に、前記自己試験活性化状態において、前記書き込み及び・または読み出しを含む複数の試験動作モードのうち、いずれかを指定する試験動作モード信号を生成する試験動作モード選択回路を有し、

前記試験動作モード信号に応じて、前記試験動作コマンド発生回路が、前記試験動作モードを実行するための前記試験動作コマンドを発生することを特徴とするメモリデバイスの自己試験回路。

【0097】

3. 上記2において、

前記試験動作モード選択回路は、外部から供給される複数の試験動作モード入力信号をデコードして、前記試験動作モード信号を生成することを特徴とするメモリデバイスの自己試験回路。

【0 0 9 8】

4. 上記3において、

前記複数の試験動作モード入力信号は、入力タイミング信号に同期して、シリアルに入力されることを特徴とするメモリデバイスの自己試験回路。

【0 0 9 9】

5. 上記2において、

前記試験動作モード選択回路は、前記試験活性化状態において、前記複数の試験動作モード信号を順次生成することを特徴とするメモリデバイスの自己試験回路。

【0 1 0 0】

6. 上記1において、

自己試験活性化信号は、自己試験用入力端子から供給される信号または前記メモリデバイスの所定のコマンドに応答して生成される信号のいずれかであることを特徴とするメモリデバイスの自己試験回路。

【0 1 0 1】

7. 上記6において、

前記自己試験用入力端子は、オープン状態で所定の電位に維持されることを特徴とするメモリデバイスの自己試験回路。

【0 1 0 2】

8. 上記1において、

前記試験動作コマンド発生回路は、前記試験アドレス発生回路があるアドレスを発生する毎に、前記書き込みまたは読み出しの少なくとも一方を含む動作に対応する複数の試験動作コマンドを順番に発生することを特徴とするメモリデバイスの自己試験回路。

【0 1 0 3】

9. 上記1において、

前記試験アドレス発生回路はアドレスカウンタを有し、アドレスのインクリメントまたはデクリメントのアドレスタイミング信号をカウントして、前記試験アドレスを発生することを特徴とするメモリデバイスの自己試験回路。

【0104】

10. 上記9において、

前記試験アドレス発生回路のアドレスカウンタは、カウンタ値の非反転出力または反転出力を、前記試験動作モード信号に応じて、選択的に出力することを特徴とするメモリデバイスの自己試験回路。

【0105】

11. 上記1において、

前記試験データ発生回路は、前記試験動作コマンドが書き込み動作に対応する場合は、前記メモリコアに該試験データを書き込みデータとして供給し、前記試験動作コマンドが読み出し動作に対応する場合は、前記試験出力回路に該試験データを比較データとして供給することを特徴とするメモリデバイスの自己試験回路。

【0106】

12. 上記1または11において、

前記試験データ発生回路は、前記アドレスタイミング信号に同期して、前記試験アドレス信号に応じて所定パターンの前記試験データを発生することを特徴とするメモリデバイスの自己試験回路。

【0107】

13. 上記1において、

前記試験出力回路は、前記読み出しデータと試験データとの不一致回数をカウントするカウンタを有することを特徴とするメモリデバイスの自己試験回路。

【0108】

14. 上記13において、

前記試験出力回路のカウンタは、少なくとも救済可能な最大不良ビット数に対応する前記不一致回数を最大カウント値とすることを特徴とするメモリデバイスの自己試験回路。

【0109】

15. 上記14において、

前記試験出力回路のカウンタは、カウント値が前記最大カウント値を越えると

オーバーフロー信号を発生し、当該オーバーフローしたことが出力されることを特徴とする試験回路。

【0 1 1 0】

16. 上記1において、

前記試験出力回路は、パラレル・シリアル変換回路を有し、前記比較結果情報を出力タイミング信号に同期してシリアルに出力することを特徴とするメモリデバイスの自己試験回路。

【0 1 1 1】

17. 上記1において、

前記試験出力回路は、前記比較結果情報として、前記読み出しデータと試験データとの不一致回数が救済可能な回数以下であるか否かの情報を出力することを特徴とするメモリデバイスの自己試験回路。

【0 1 1 2】

18. 上記17において、

前記試験出力回路は、前記比較結果情報として、更に、前記読み出しデータと試験データとの不一致が発生しなかった情報を出力することを特徴とするメモリデバイスの自己試験回路。

【0 1 1 3】

19. 上記17において、

前記試験出力回路は、前記比較結果情報として、更に、前記不一致回数を出力することを特徴とするメモリデバイスの自己試験回路。

【0 1 1 4】

20. 上記4において、

前記入力タイミング信号は、外部から供給されるクロックに基づいて生成された試験クロック信号であることを特徴とするメモリデバイスの自己試験回路。

【0 1 1 5】

21. 上記8において、

前記試験動作コマンド発生回路は、外部から供給されるクロックに基づいて生成されたコマンド発生タイミング信号に同期して、前記試験動作コマンドを発生

することを特徴とするメモリデバイスの自己試験回路。

【0 1 1 6】

2 2. 上記 9 において、

前記アドレスタイミング信号は、外部から供給されるクロックに基づいて生成された試験クロック信号であることを特徴とするメモリデバイスの自己試験回路。

。

【0 1 1 7】

2 3. 上記 1 6 において、

前記出力タイミング信号は、外部から供給されるクロックに基づいて生成された試験クロック信号であることを特徴とするメモリデバイスの自己試験回路。

【0 1 1 8】

2 4. 上記 2 0、2 1、2 2、または 2 3 のいずれかにおいて、

更に、前記外部供給クロックを逡倍して内部生成クロックを生成するクロック逡倍回路を有し、

前記タイミング信号は、当該内部生成クロックに基づいて生成されることを特徴とするメモリデバイスの自己試験回路。

【0 1 1 9】

2 5. 上記 2 1、2 2 のいずれかにおいて、

更に、自己試験活性状態において、内部生成クロックを発生するオシレータを有し、

前記タイミング信号は、当該内部生成クロックに基づいて生成されることを特徴とするメモリデバイスの自己試験回路。

【0 1 2 0】

2 6. 複数のメモリセルを有するメモリコアと、外部コマンドに応答して前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号に応答して自己試験活性化状態になり、前記メモリデバイスの不良を検出する自己試験回路を有し、

前記自己試験回路は、

自己試験活性化状態において、前記書き込みまたは読み出しを指示する試験動作コマンドを発生し、前記メモリ制御回路に供給する試験動作コマンド発生回路と、

前記自己試験活性化状態において、試験アドレスを発生し、前記メモリコアに供給する試験アドレス発生回路と、

前記自己試験活性化状態において、試験データを発生し、前記メモリコアに書き込みデータとして供給する試験データ発生回路と、

前記メモリコアからの読み出しデータと前記試験データとを比較し、当該比較結果情報を蓄積する試験出力回路とを有することを特徴とするメモリデバイス。

【0 1 2 1】

27. 上記26において、

前記外部コマンドと前記試験コマンドとを切り替える第1のセレクタと、

前記外部アドレスと前記試験アドレスとを切り替える第2のセレクタと、

外部から供給される外部書き込みデータと前記試験データとを切り替える第3のセレクタとを有することを特徴とするメモリデバイス。

【0 1 2 2】

28. 上記27において、

更に、外部から供給される外部クロックを逡倍して内部生成クロックを生成するクロック逡倍回路と、

前記外部クロックと前記内部生成クロックとを切り替える第4のセレクタとを有することを特徴とするメモリデバイス。

【0 1 2 3】

29. 上記27において、

更に、自己試験活性化状態において内部生成クロックを発生するオシレータと、

前記外部クロックと前記内部生成クロックとを切り替える第4のセレクタとを有することを特徴とするメモリデバイス。

【0 1 2 4】

30. 上記27において、

更に、前記メモリセルから読み出された読み出しデータを出力するデータ出力回路を有し、

前記試験出力回路からの比較結果情報と前記読み出しデータとを切り替えて前記データ出力回路に供給する第5のセクタとを有することを特徴とするメモリデバイス。

【0 1 2 5】

3 1. 上記2 6において、

前記自己試験活性化信号が供給される自己試験外部端子を有することを特徴とするメモリデバイス。

【0 1 2 6】

3 2. 上記2 6において、

前記自己試験活性化信号が、所定の前記外部コマンドにより与えられることを特徴とするメモリデバイス。

【0 1 2 7】

3 3. 複数のメモリセルを有するメモリコアと、外部コマンドに応答して前記メモリコアに対する書き込み及び読み出し動作を制御するメモリ制御回路とを有し、外部アドレスに対応する前記メモリセルに対して書き込みまたは読み出しが行われるメモリデバイスにおいて、

外部からの自己試験活性化信号に応答して自己試験活性化状態になり、前記書き込みまたは読み出しを指示する試験動作コマンドを発生して前記メモリ制御回路に供給し、試験アドレスを発生して前記メモリコアに供給し、試験データを発生して前記メモリコアに書き込みデータとして供給し、前記メモリコアからの読み出しデータと前記試験データとを比較して前記メモリデバイスの不良を検出する自己試験回路を有することを特徴とするメモリデバイス。

【0 1 2 8】

以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0 1 2 9】

【発明の効果】

以上、本発明によれば、LSI テスタを利用することなく、自己試験活性化信号を外部から与えることにより、メモリデバイスに内蔵される自己試験回路が不良ビットのチェックを行うことができる。従って、従来のメモリデバイスよりも試験工程の時間を短くすることができる。

【0 1 3 0】

または、本発明によれば、ウエハ工程において少ない外部端子を利用するバーイン試験においても、内蔵される自己試験回路を利用して自己試験を行うことができ、デバイスの低コスト化に寄与することができる。

【図面の簡単な説明】

【図 1】

従来例のメモリデバイスの構成図である。

【図 2】

本実施の形態例におけるメモリデバイスの構成図である。

【図 3】

WBI活性化回路、WBI入力バッファ、及びWBIモード選択回路を示す回路図である。

【図 4】

自己試験工程へのエントリー時の動作タイミングチャート図である。

【図 5】

試験結果情報の出力時の動作タイミングチャート図である。

【図 6】

試験パターンの一例であるマーチの動作を示す図である。

【図 7】

試験動作モードMODE1を動作タイミングチャート図である。

【図 8】

試験動作モードMODE2を動作タイミングチャート図である。

【図 9】

試験動作モードMODE3を動作タイミングチャート図である。

【図 1 0】

試験動作モードMODE4を動作タイミングチャート図である。

【図 1 1】

試験動作モードOUTPUTの動作タイミングチャート図である。

【図 1 2】

WBI制御回路の回路図である。

【図 1 3】

WBIコマンド発生回路の回路図である。

【図 1 4】

試験アドレス・データ発生回路の回路図である。

【図 1 5】

試験アドレス・データ発生回路の動作タイミングチャート図である。

【図 1 6】

データ比較部、カウンタ、パラレル・シリアル変換部、及び試験出力バッファの構成図である。

【図 1 7】

データ比較部の動作タイミングチャート図である。

【図 1 8】

第2の実施の形態例におけるメモリデバイスの構成図である。

【図 1 9】

第3の実施の形態例における自己試験回路を内蔵するメモリデバイスの構成図である。

【図 2 0】

第4の実施の形態例におけるWBI活性化回路とWBIモード選択回路の構成図である。

【図 2 1】

第5の実施の形態例における試験結果情報の出力部の例を示す図である。

【図 2 2】

第6の実施の形態例におけるメモリデバイスの構成図である。

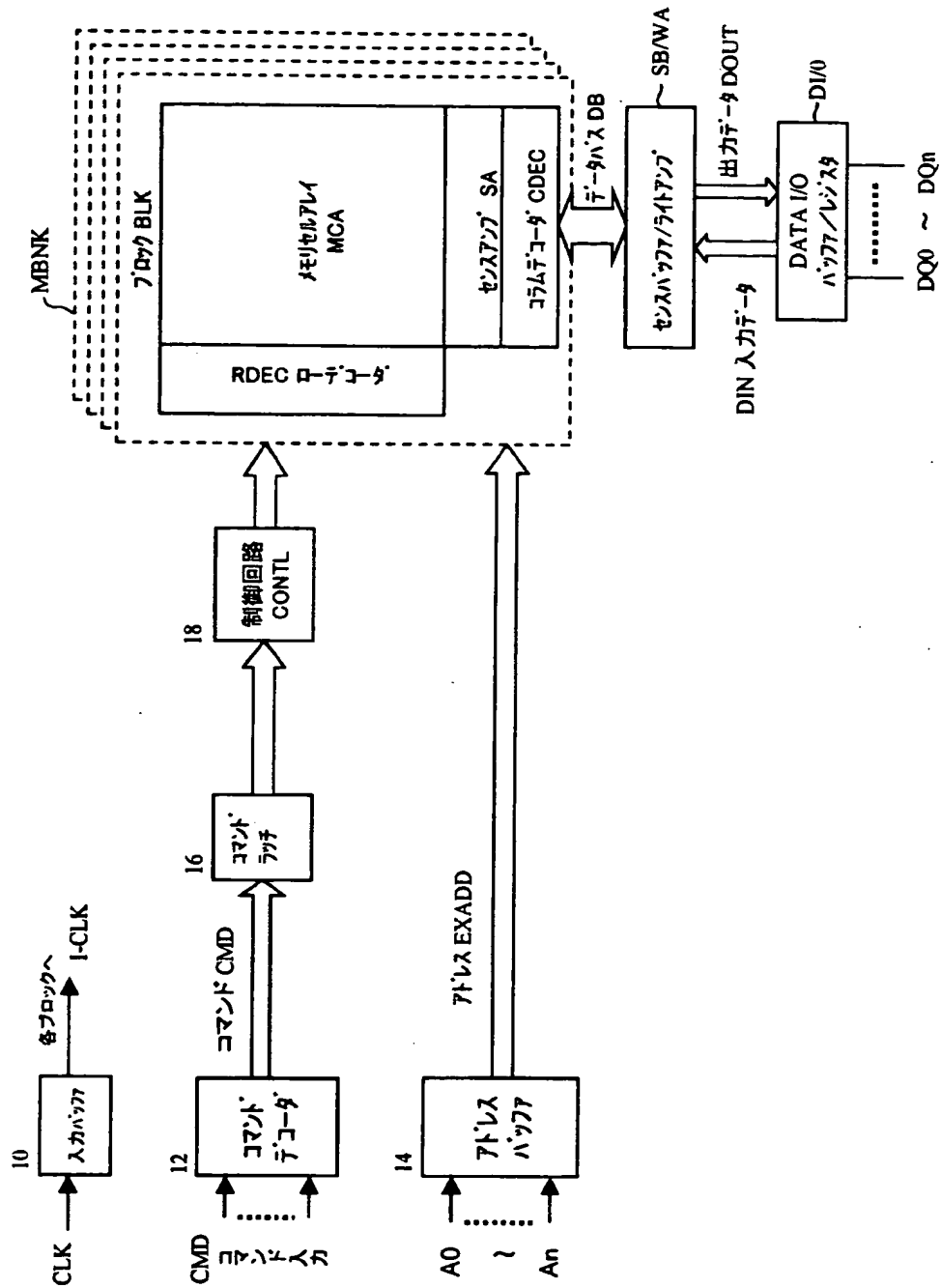
【符号の説明】

BIST	自己試験回路
2 0	WBI活性化回路
2 2	試験動作モード選択回路
2 4	WBI制御回路
2 6	WBIコマンド発生回路
2 8	WBIアドレス・データ発生回路
3 0	データ比較部
3 2	フェイルビットカウンタ
3 4	パラレル・シリアル変換回路
3 6	WBI出力バッファ
WBIZ	活性化信号
ϕ WBI	WBI活性化信号
BISTZ	モード入力信号
ϕ START	スタート信号
END1,END2	終了信号
WBI-CLK1	第1の試験クロック (WBIコマンド発生回路用)
WBI-CLK2	第2の試験クロック (WBIアドレス・データ発生回路用)
WBI-CLK3	第3の試験クロック (WBI出力バッファ用)

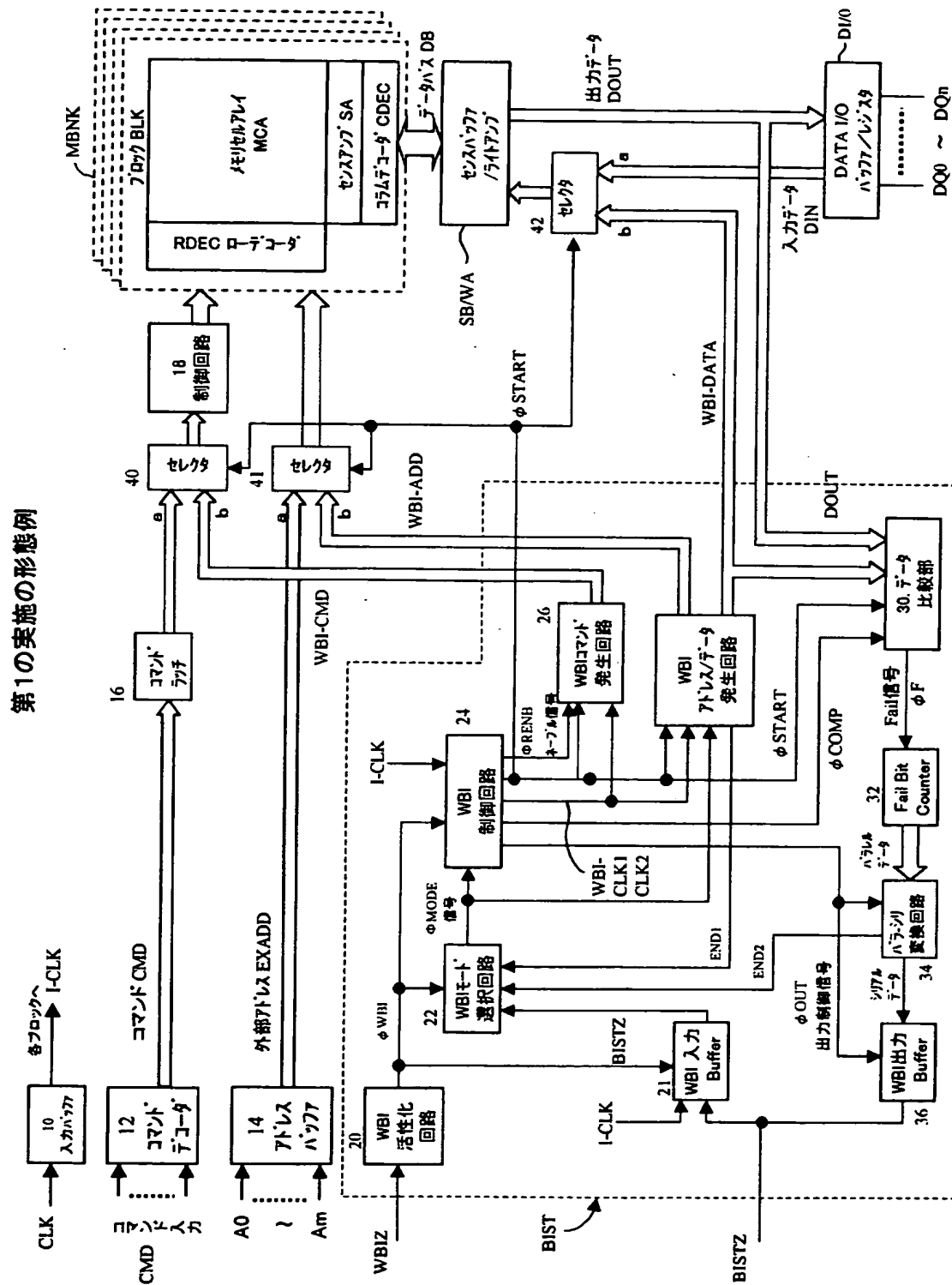
【書類名】 図面

【図 1】

従来例

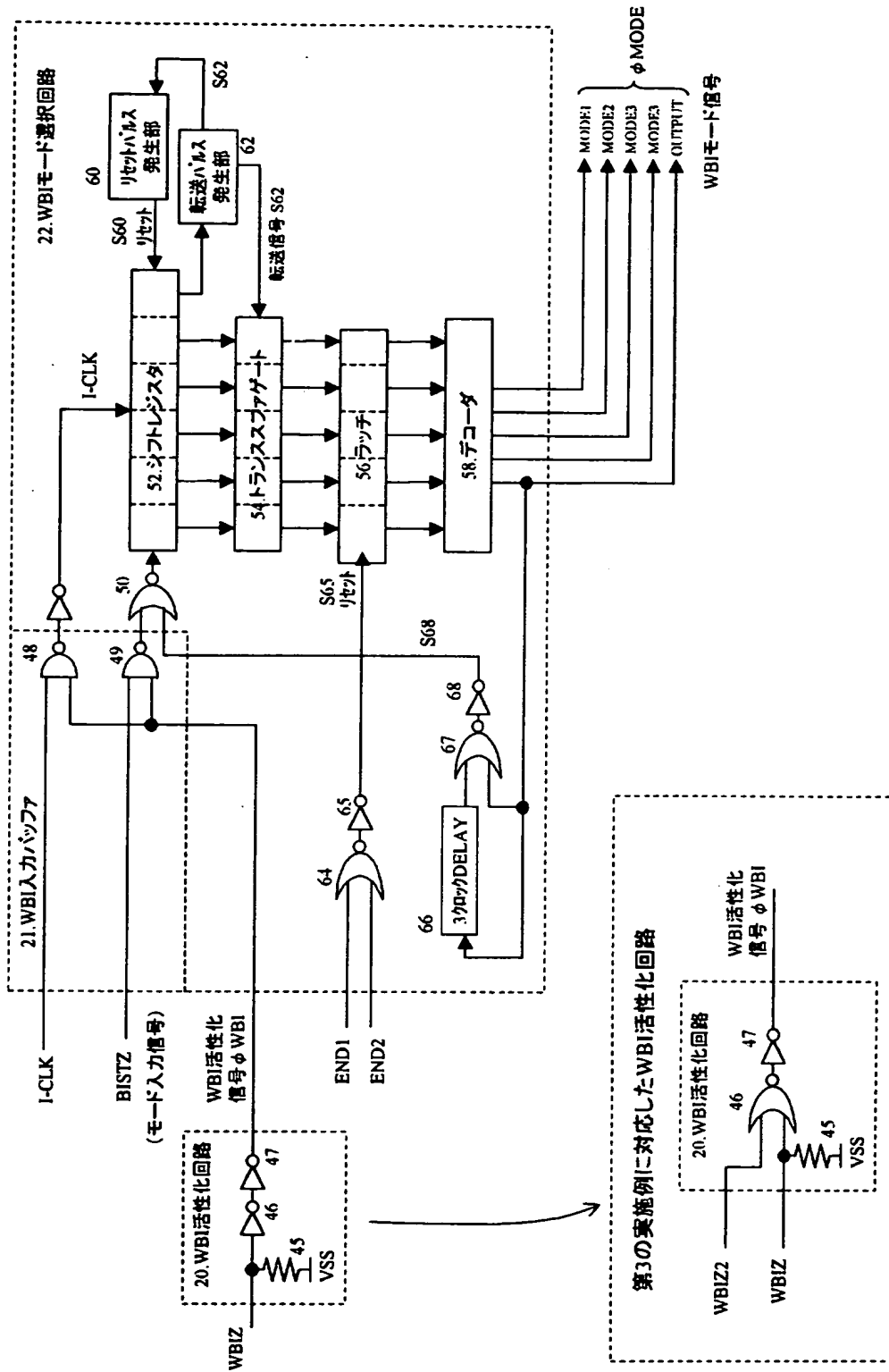


【図 2】



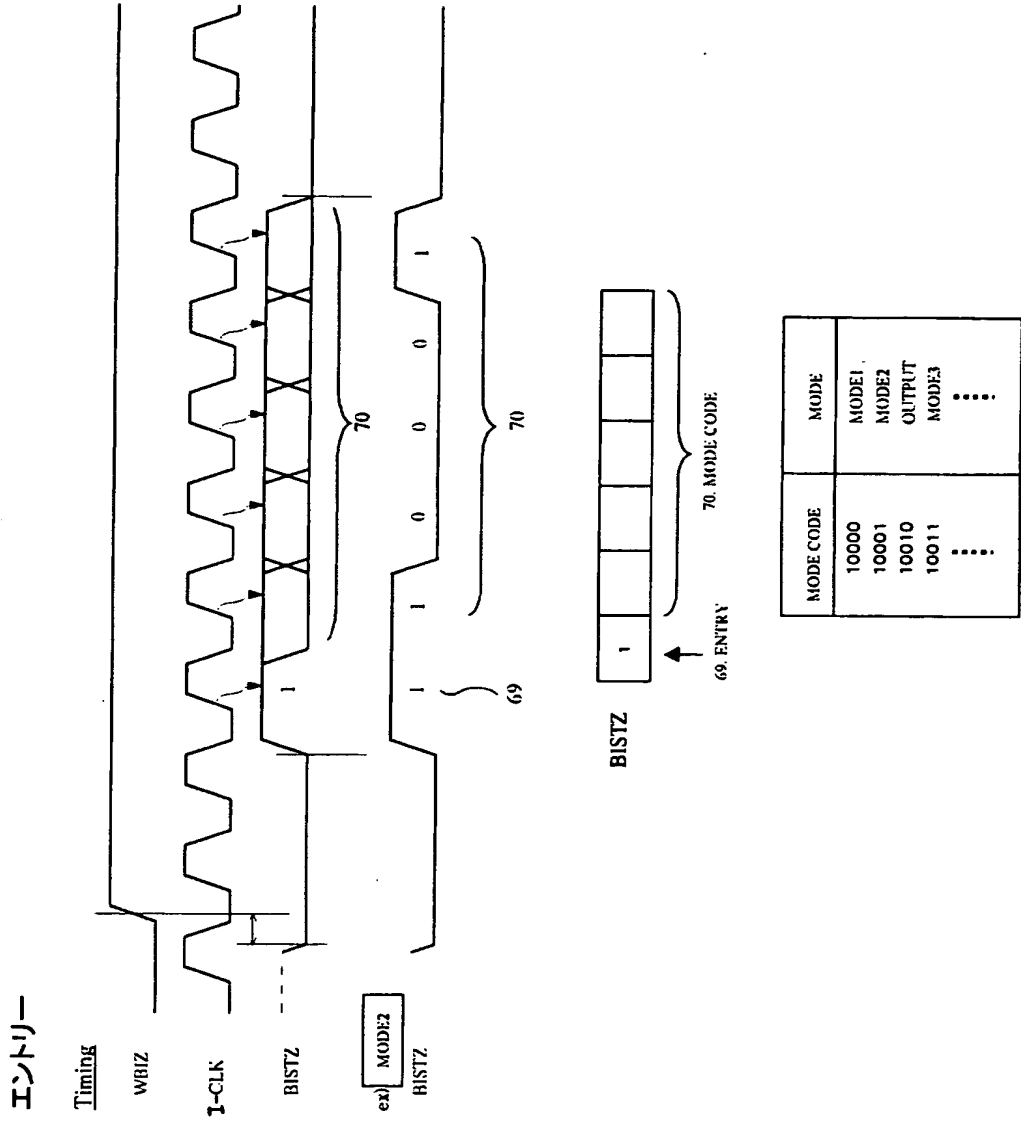
【図 3】

WBI活性化回路、WBI入カバッファとWBIモード選択回路の実施例



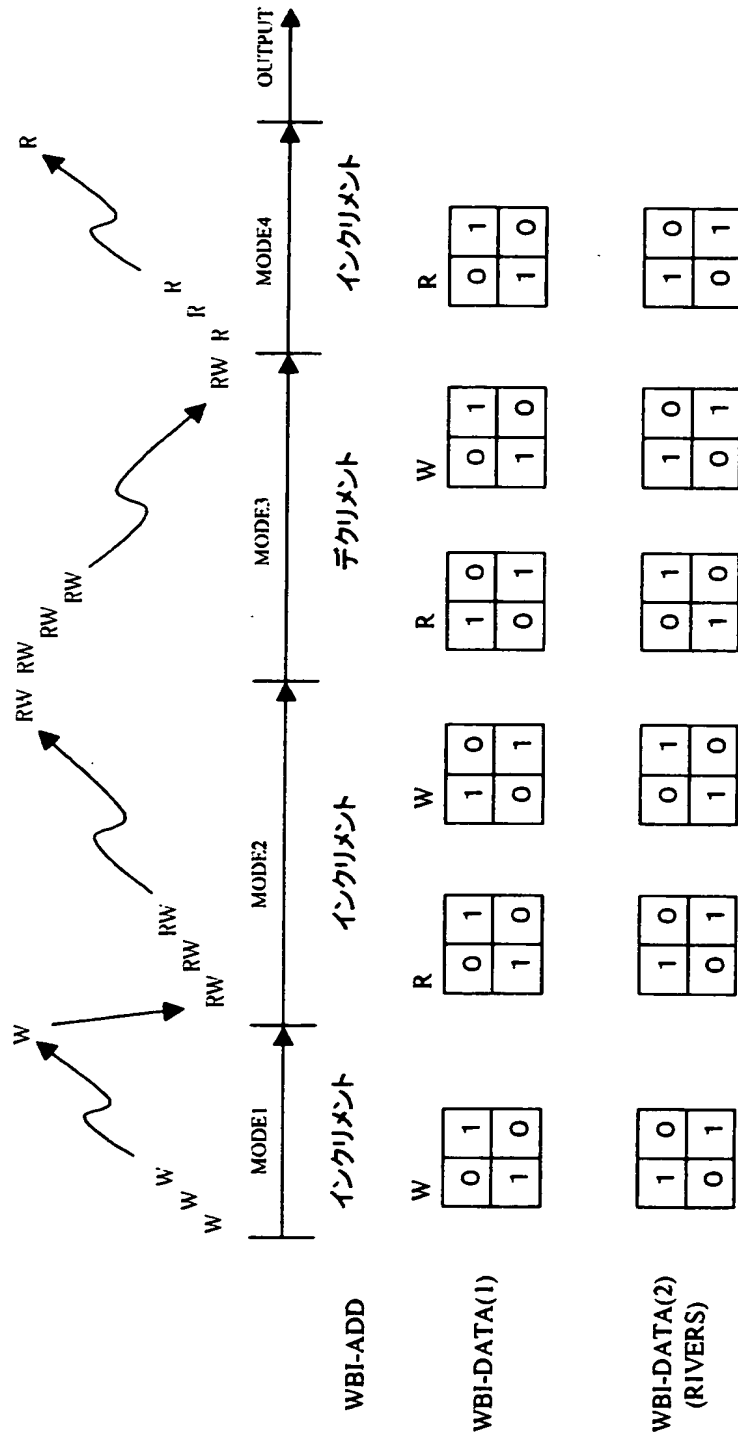
【図 4】

エントリー時の動作タイミング

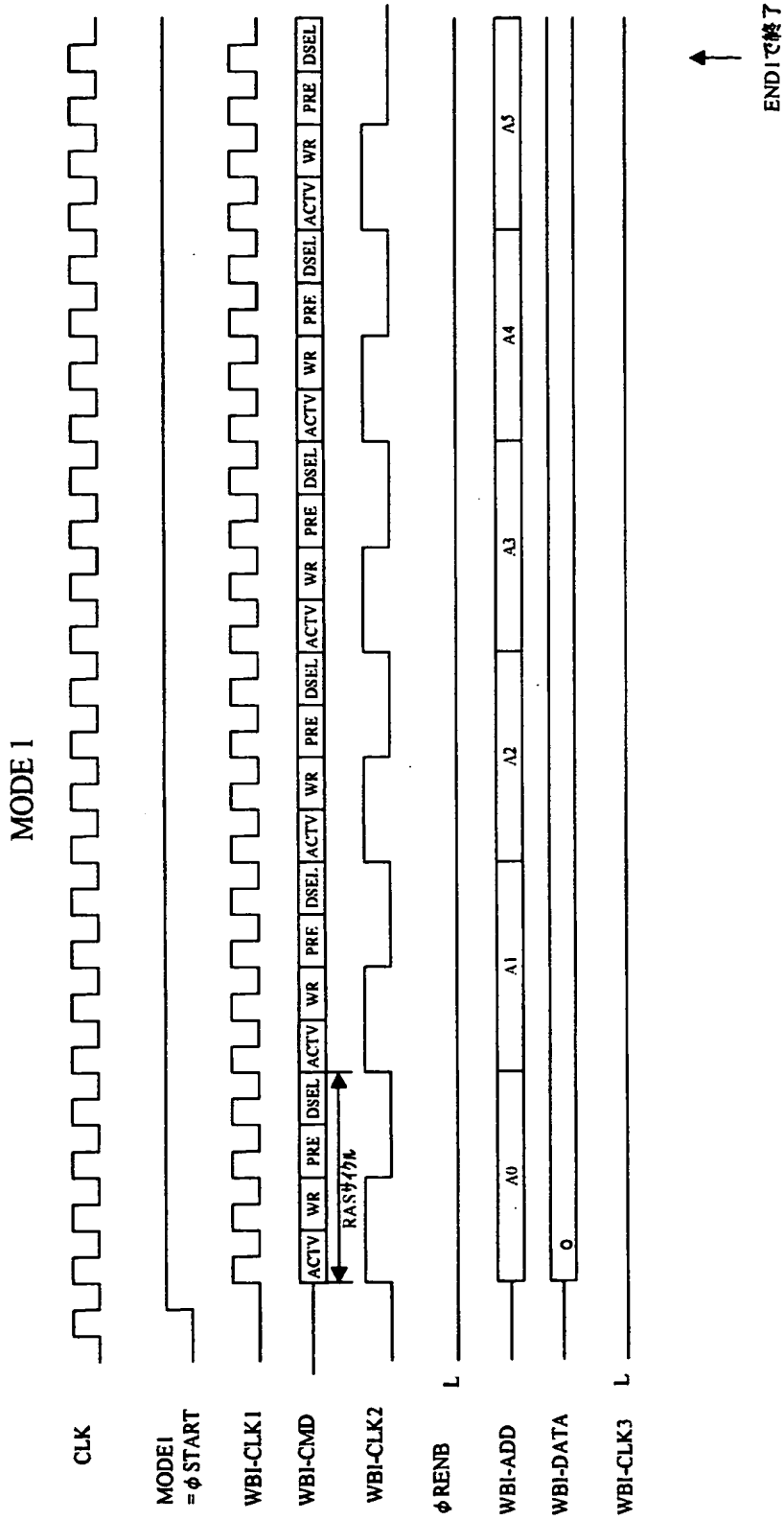


【図 6】

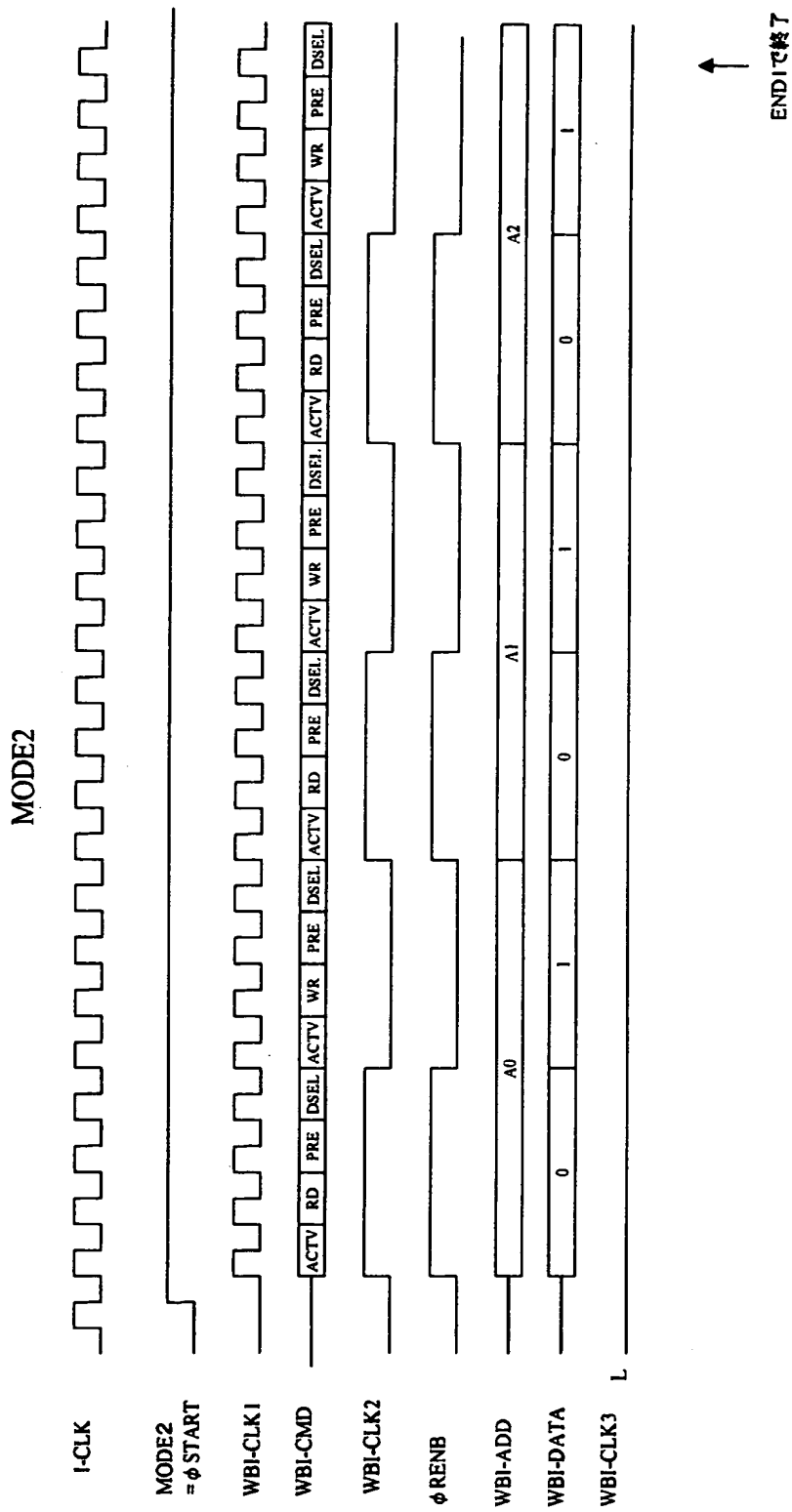
試験パターンのマーチパターン例



【図 7】

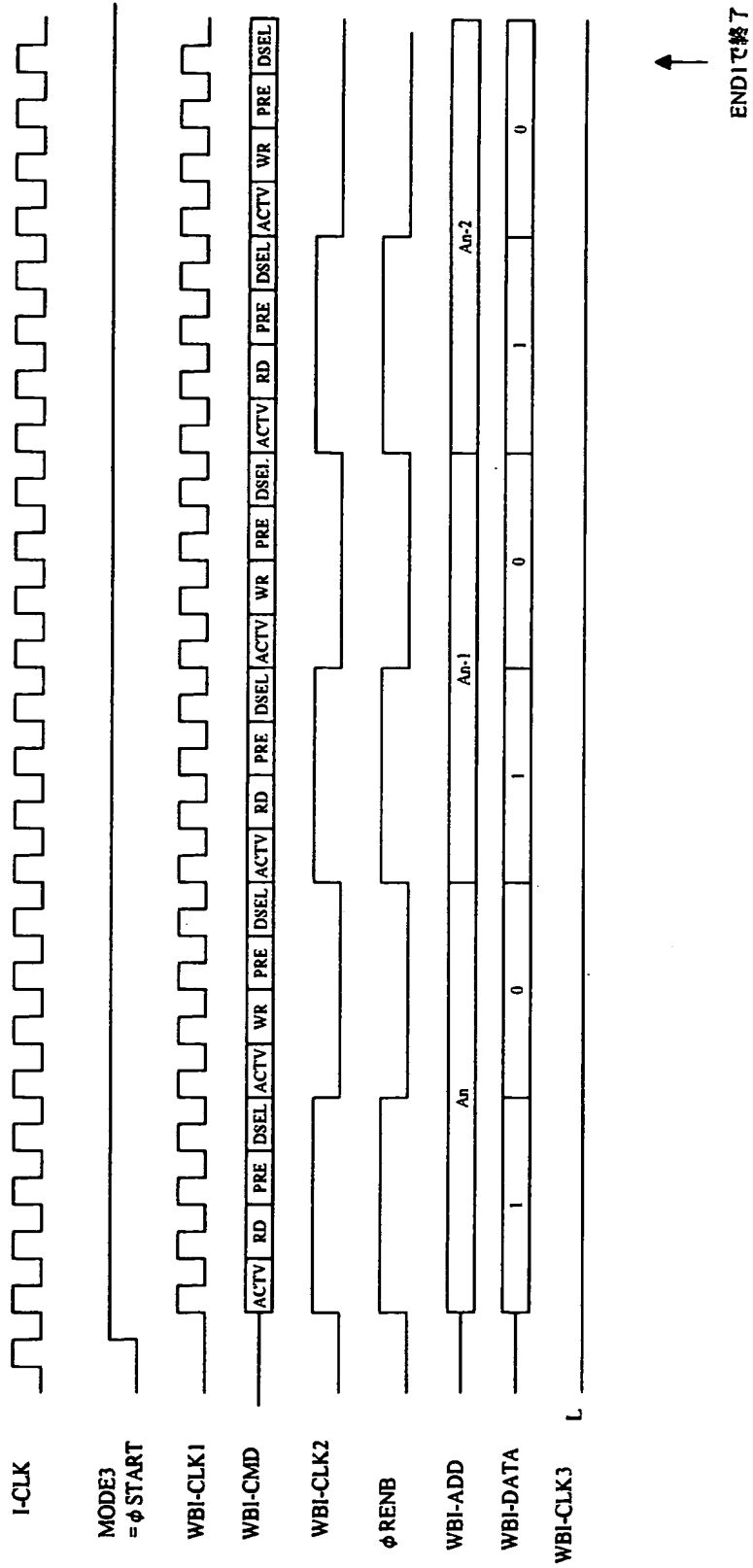


【図 8】



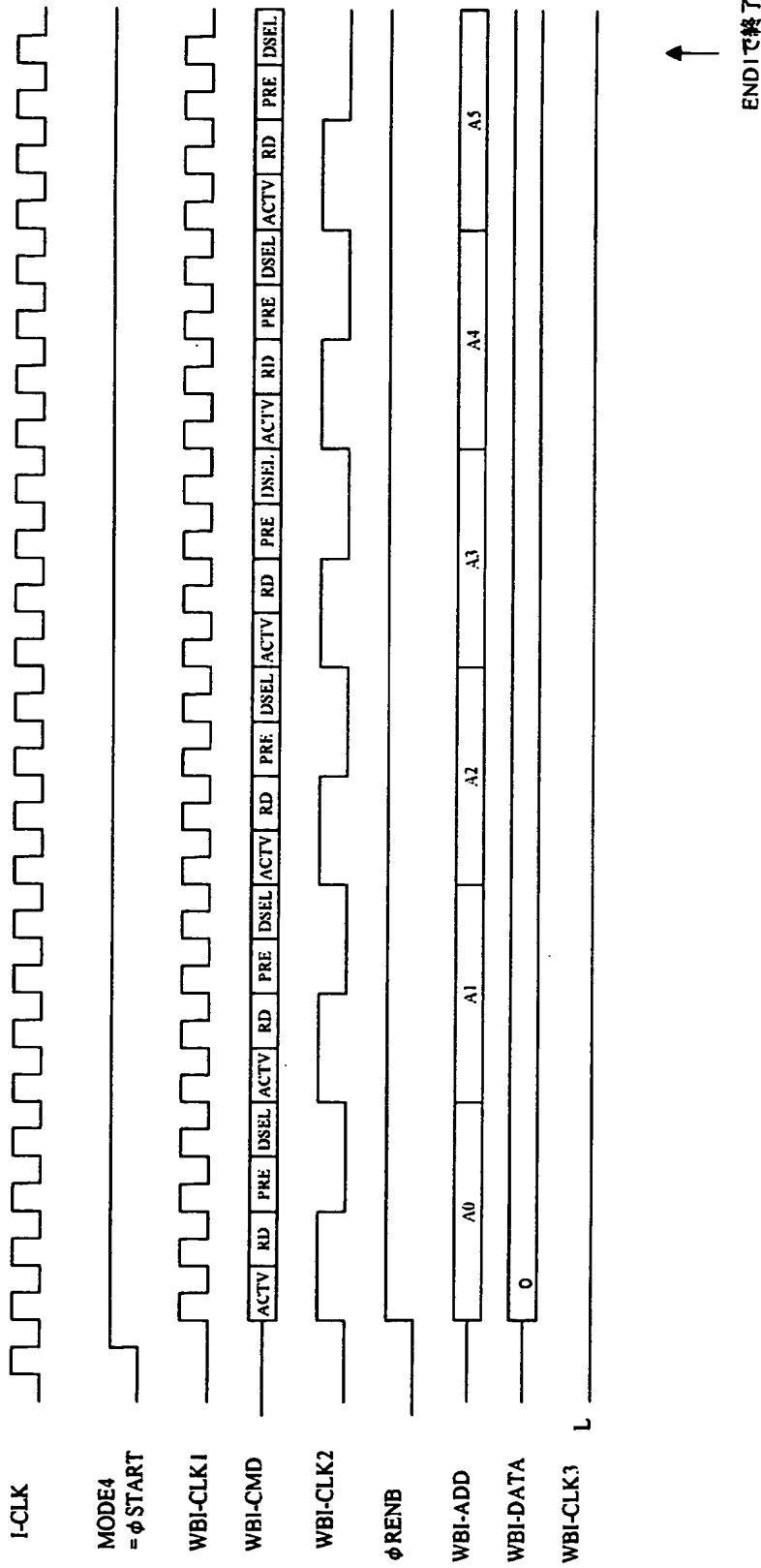
【図 9】

MODE3

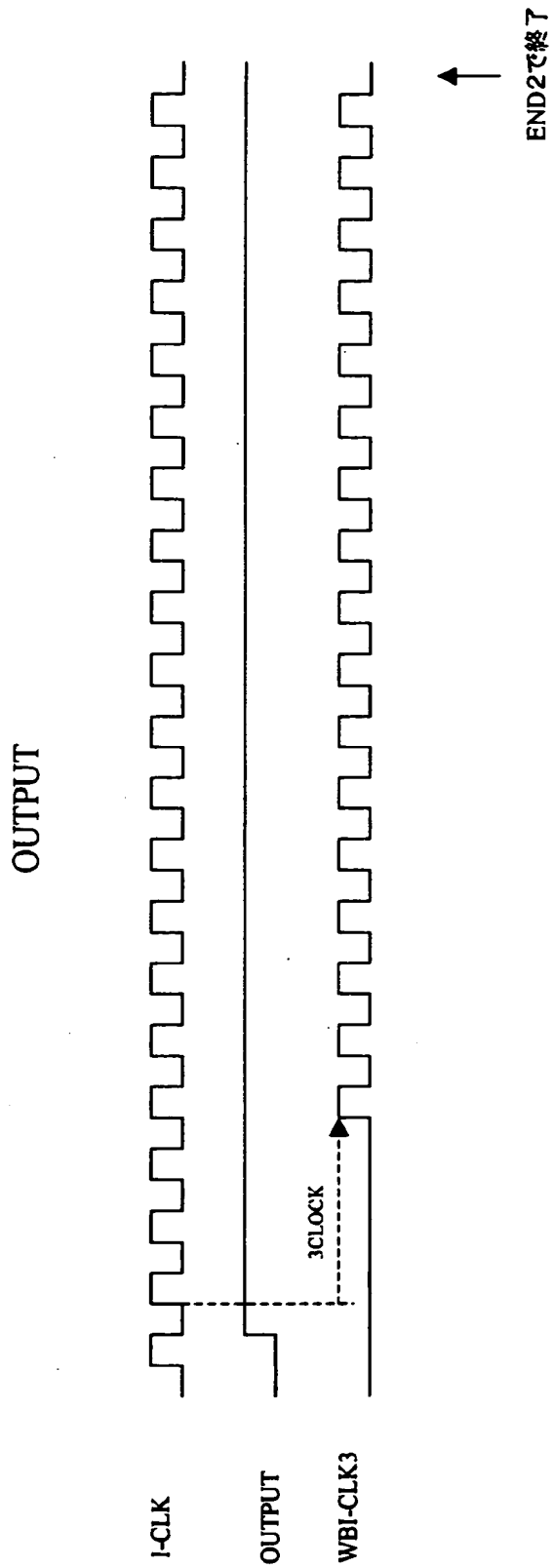


【図 1 0】

MODE4

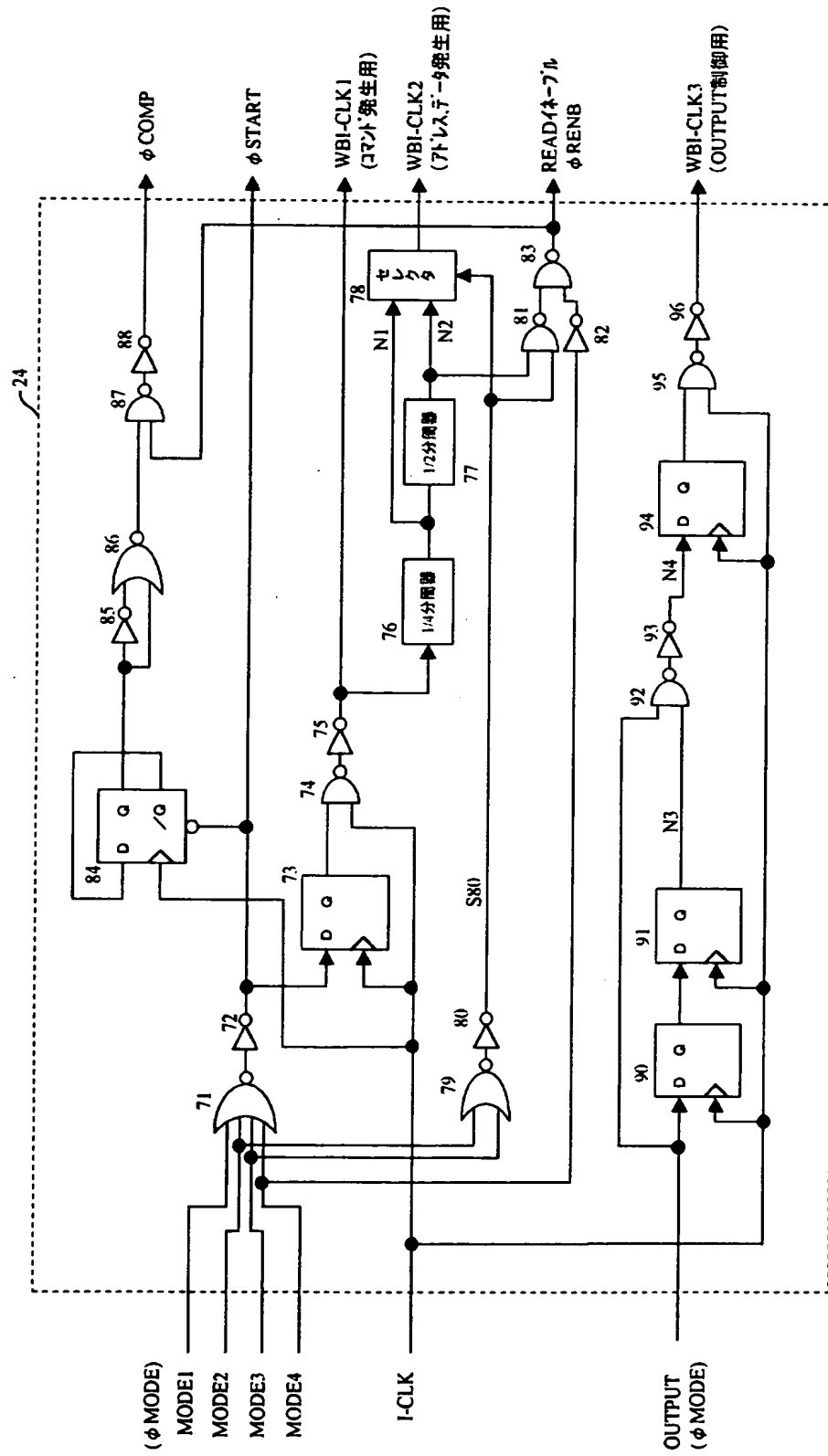


【図 1 1】



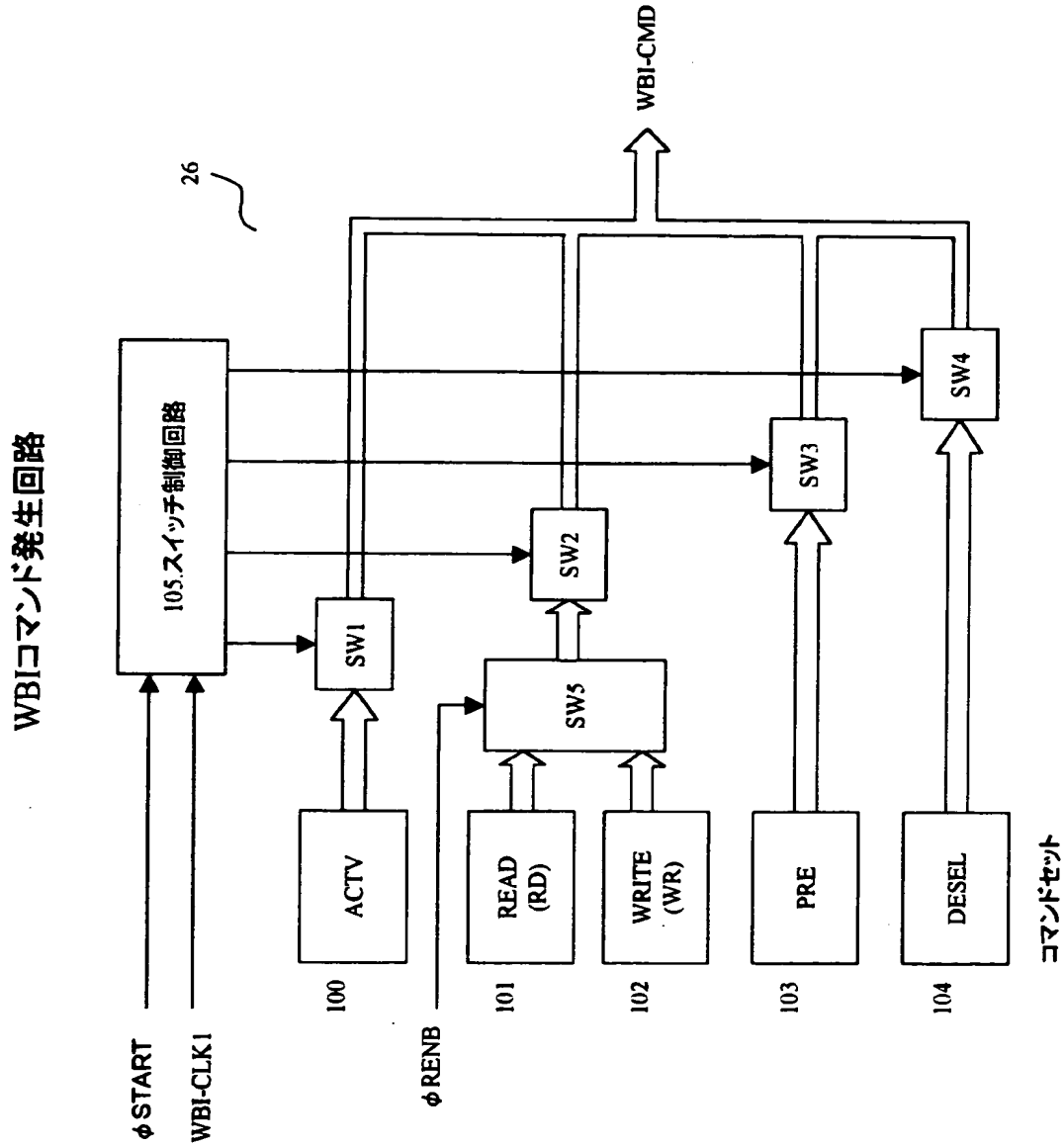
【図 1 2】

WBI制御回路



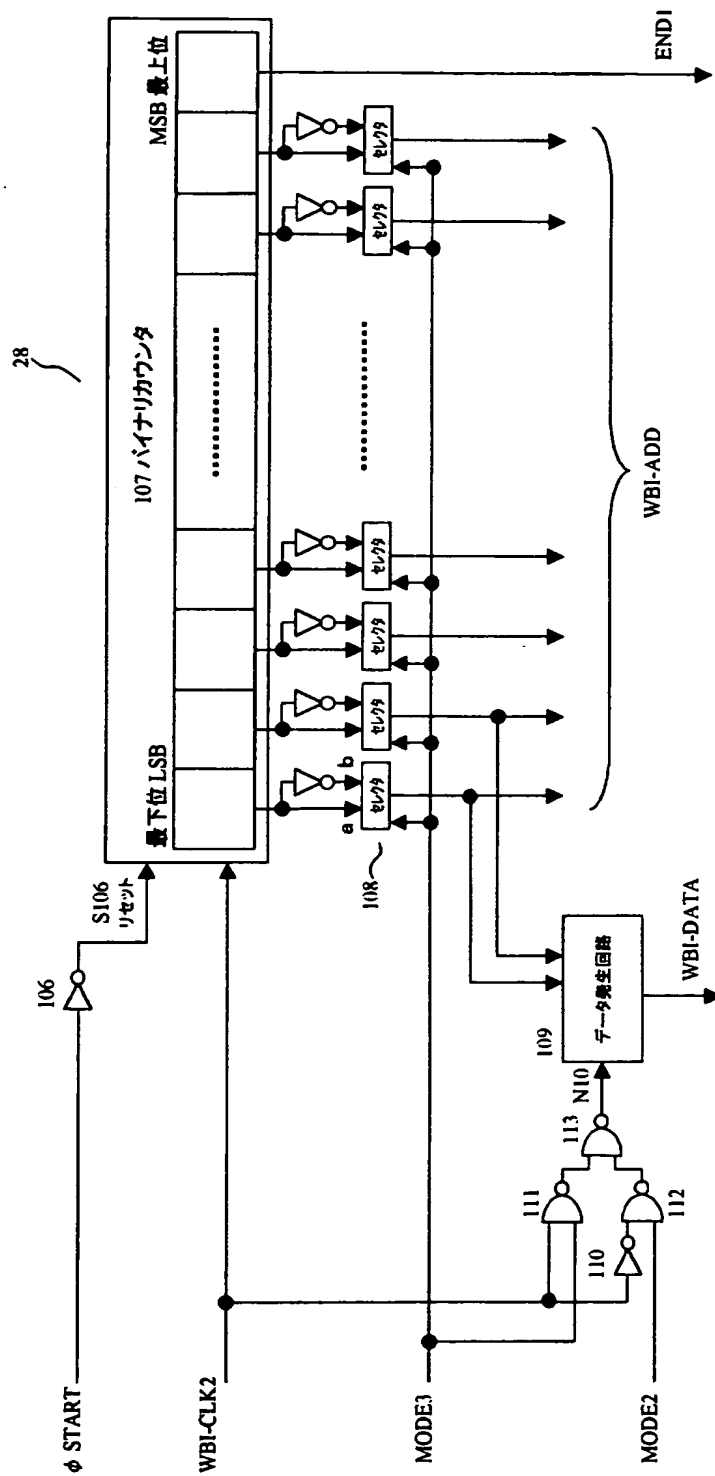
セレクトは、MODE1,4ではN1に接続
MODE2,3ではN2に接続

【図 1 3】



【図 1 4】

アドレス/データ発生回路

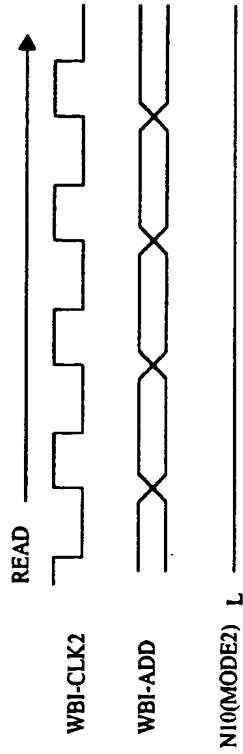


セレクタは、アドレスインクリメント時はaに接続
アドレスデクリメント時はbに接続

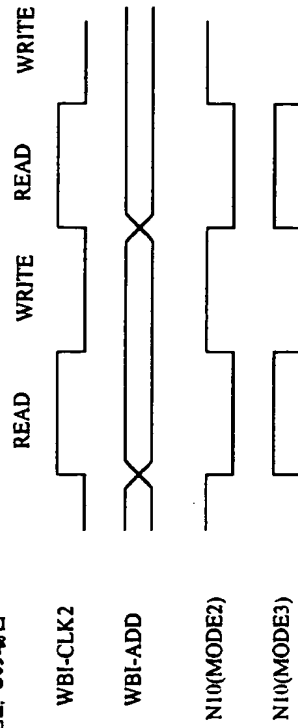
【図 1 5】

WBIアドレス／データ発生部の動作

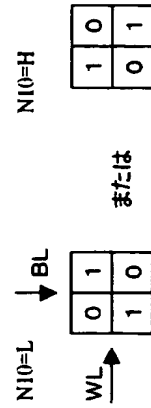
(A) MODE1, 4の場合



(B) MODE2, 3の場合

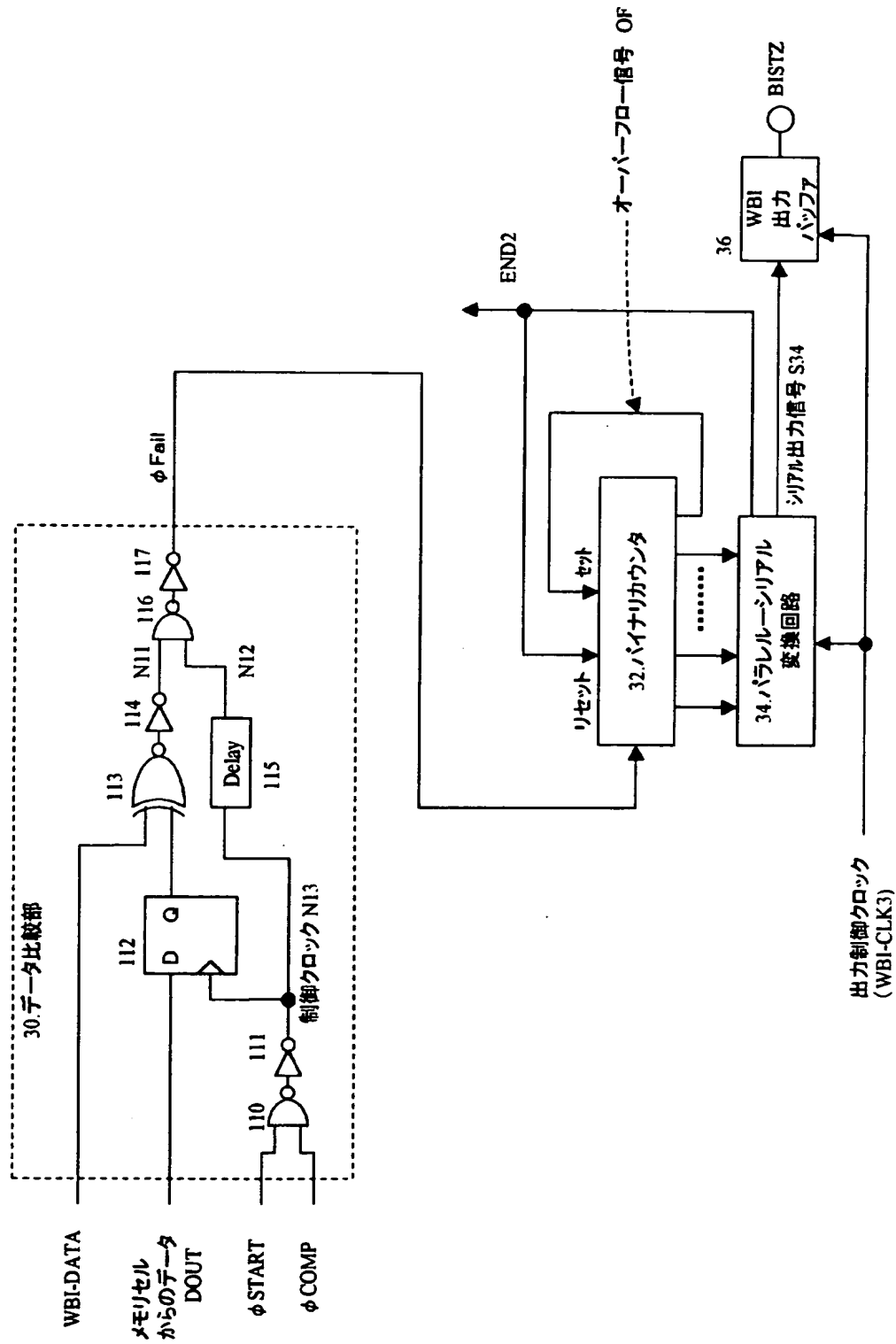


(C) WBIデータの例



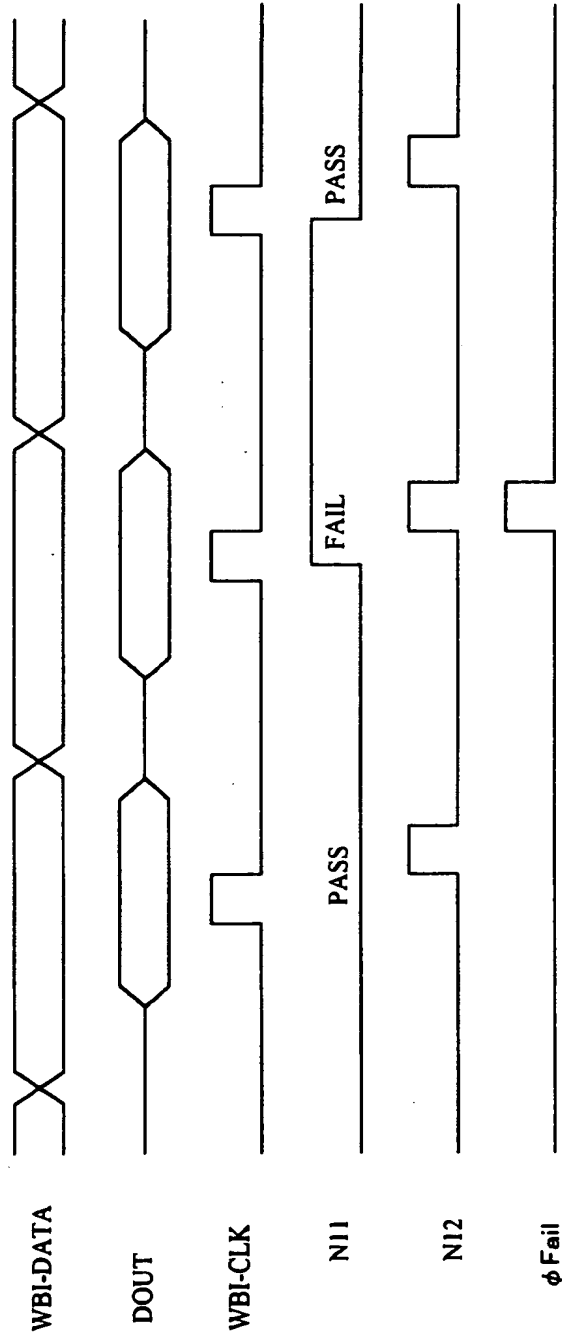
【図 1 6】

データ比較部、カウンタ部、パラレル・シリアル変換部、出力バッファの構成

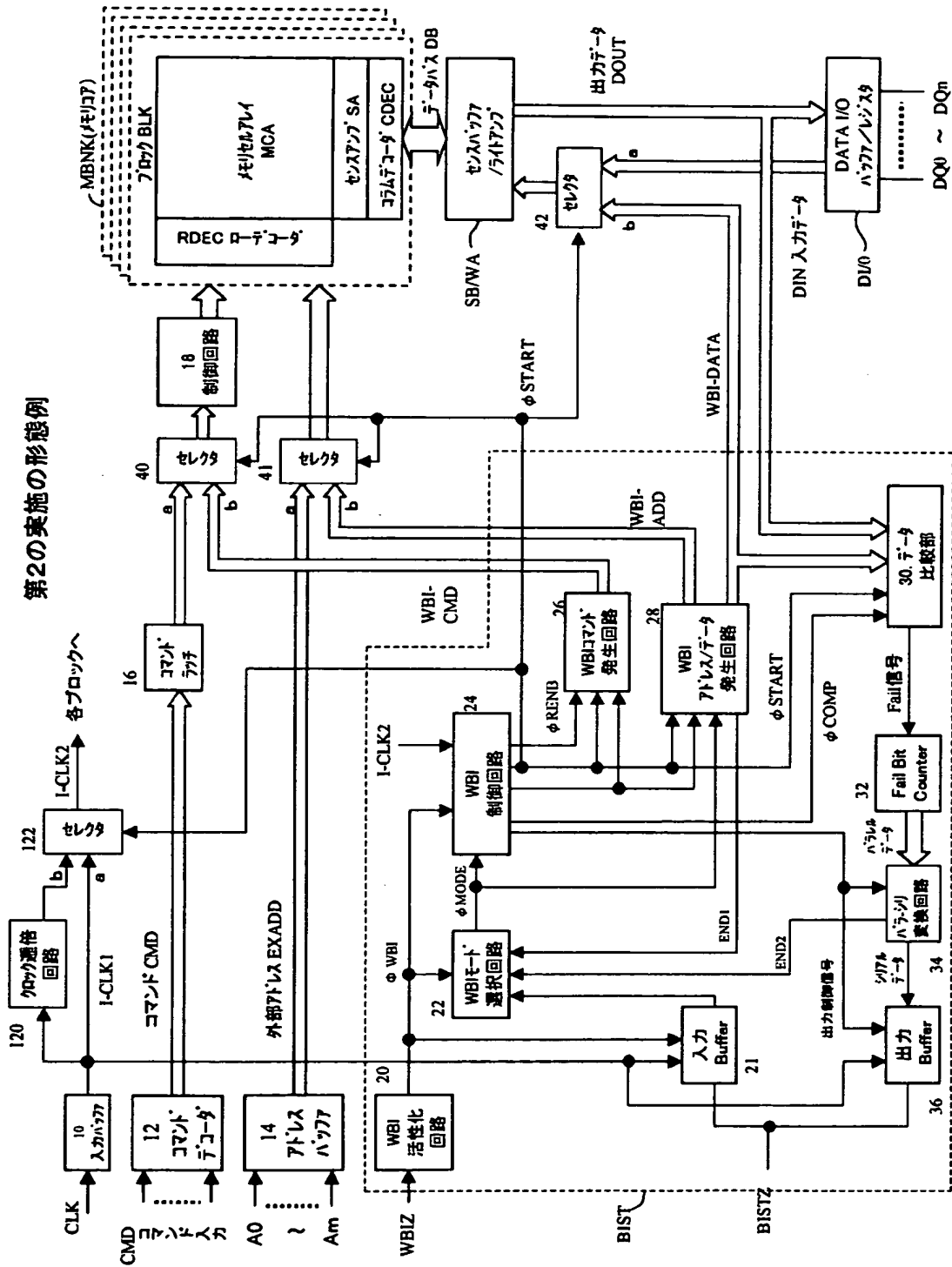


【図 1 7】

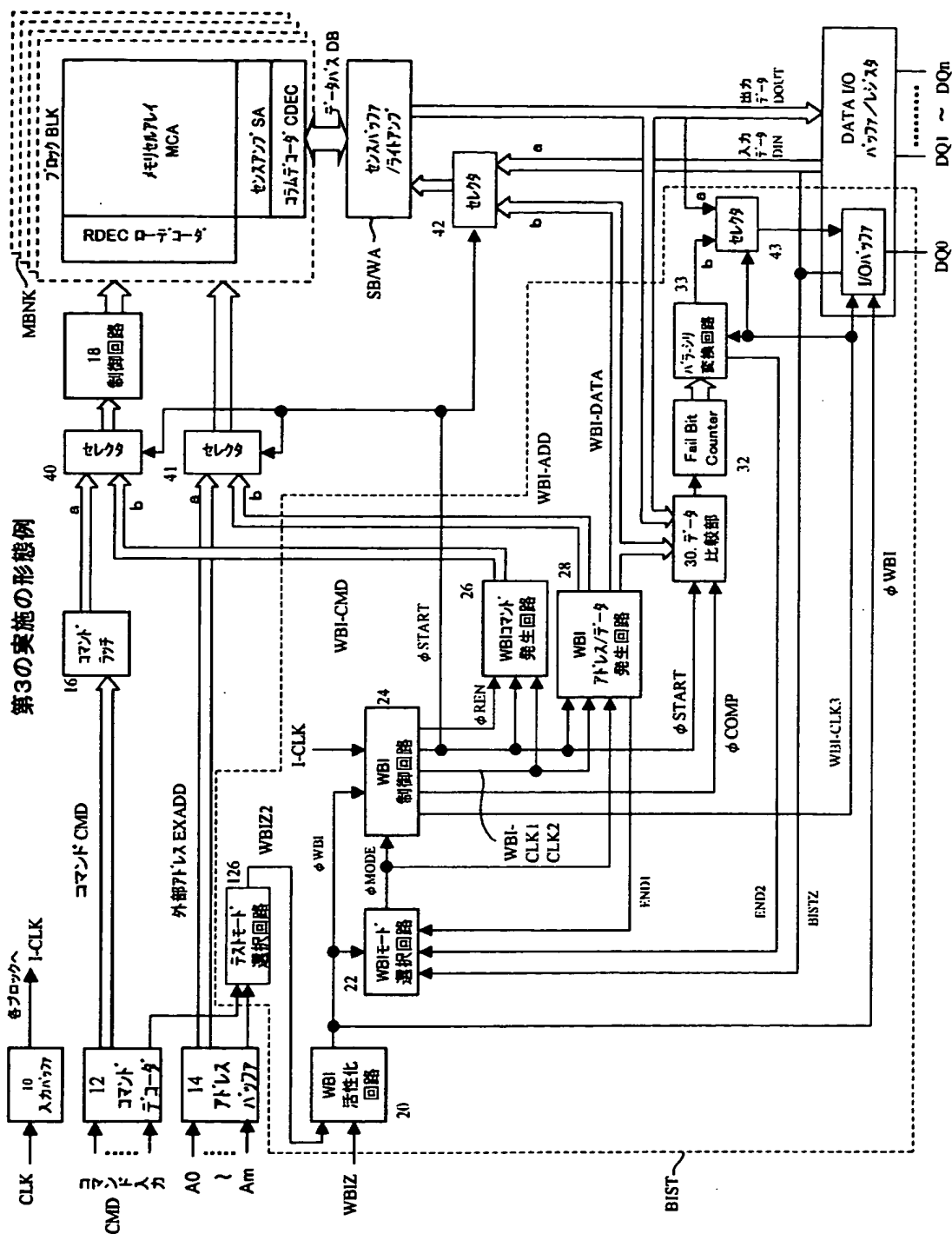
データ比較部の動作



【図 1 8】

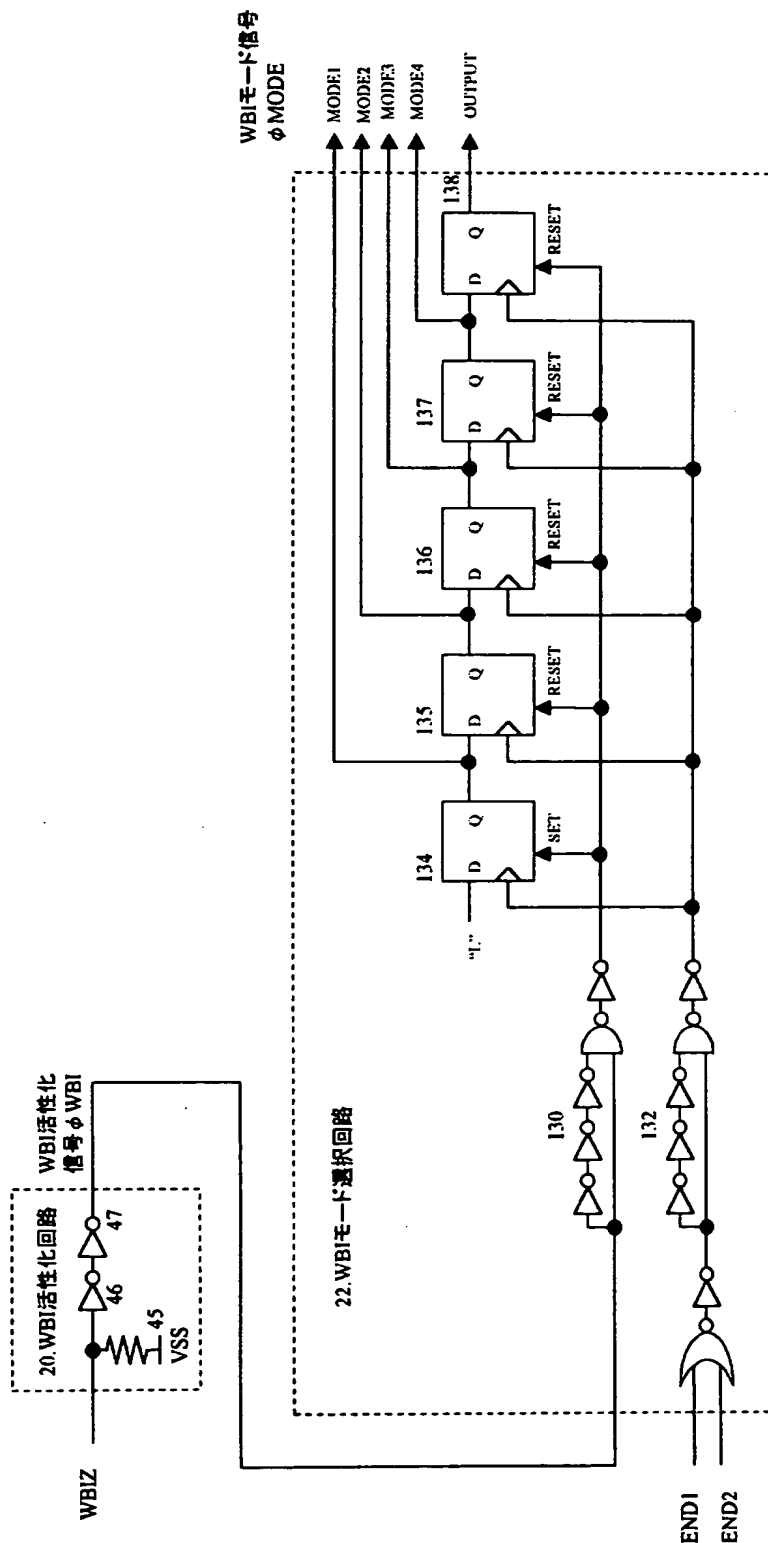


【图 19】



【図 20】

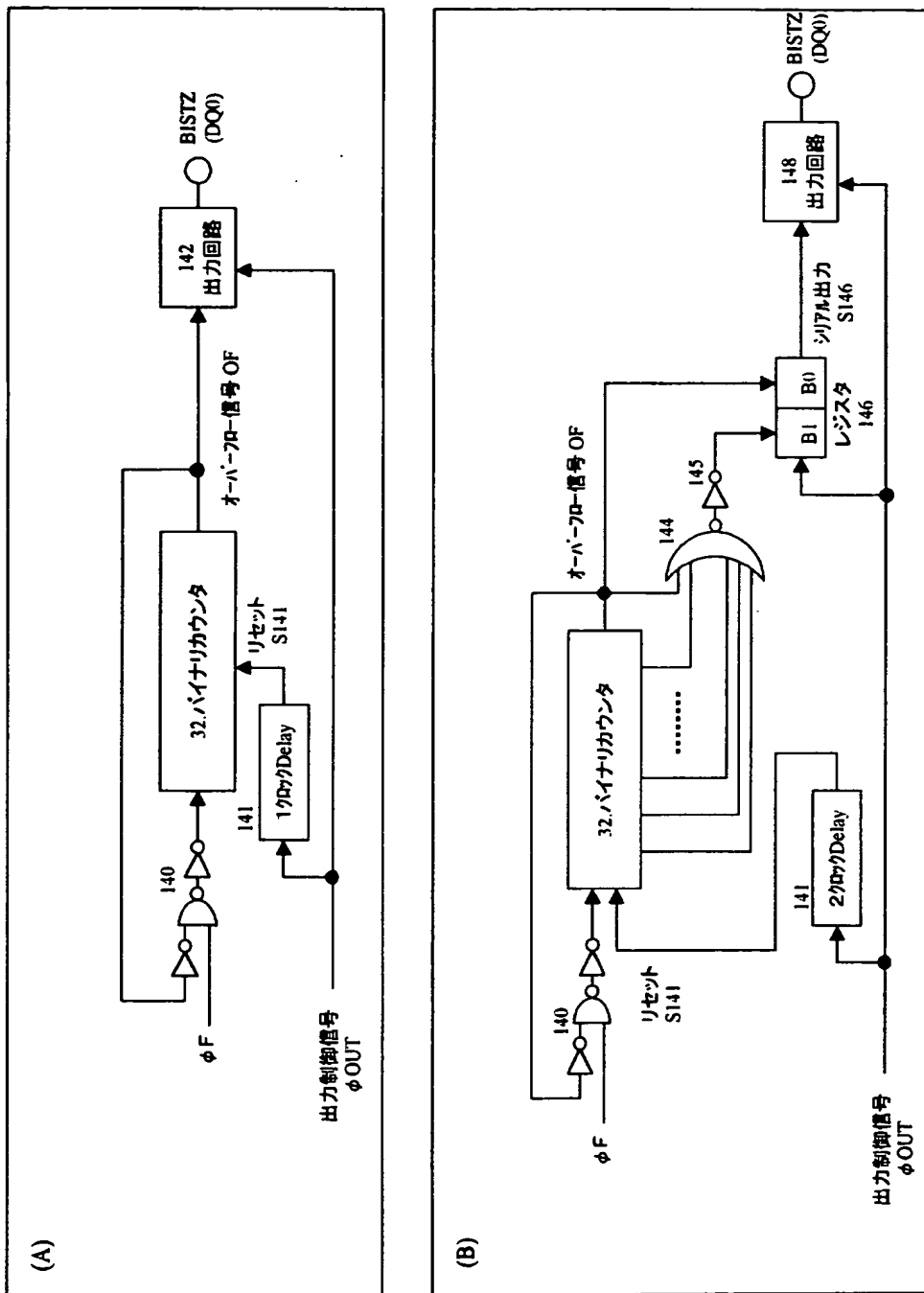
第4の実施の形態例でのWBI活性化回路とWBIモード選択回路



SETでQ="H"になる
RESETでQ="L"になる

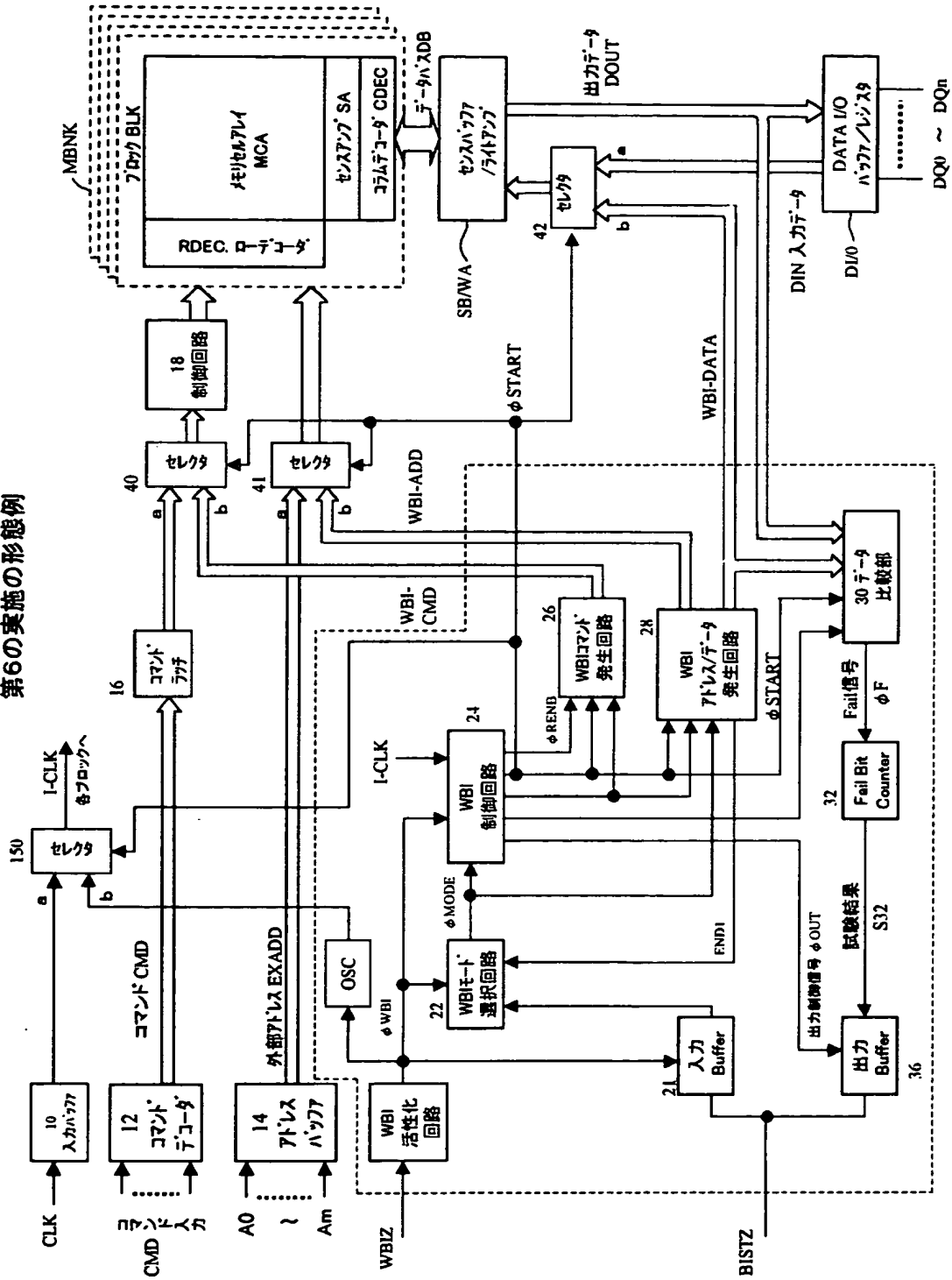
【図 2 1】

第5の実施の形態例、出力部の他の実施例



【図 2 2】

第6の実施の形態例



【書類名】

要約書

【要約】

【課題】冗長セルを利用した不良品の救済に適した自己試験回路を提供する。

【解決手段】本発明は、メモリデバイス内に内蔵され、外部から試験活性化信号に応答して活性化する自己試験回路BISTである。この自己試験回路は、外部からの試験活性化信号WBIZに응答して活性化し、試験動作コマンドWBI-CMDを発生し、試験アドレスWBI-ADDを発生し、試験データWBI-DATAを発生する。更に、自己試験回路は、試験データをメモリセルに書き込んだ後に、そのメモリセルから読み出した読み出しデータが、書き込んだ試験データと同じか否かを比較し、その比較結果を蓄積する。そして、その比較結果情報が外部に出力される。

【選択図】図2



認定・付加情報

特許出願の番号	平成11年 特許願 第359999号
受付番号	59901235985
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成12年 1月 7日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社